



UNIVERSIDAD CARLOS III DE MADRID
ESCUELA POLITÉCNICA SUPERIOR
DEPARTAMENTO DE TECNOLOGÍA ELECTRÓNICA
INGENIERÍA DE TELECOMUNICACIÓN

Proyecto Fin De Carrera

Diseño de moduladores Sigma Delta Autorresonantes Con Codificación Temporal para tecnologías CMOS nanométricas

JUNIO, 2009

AUTOR: JUAN ANTONIO TORREÑO CARRERA

TUTORA: SUSANA PATÓN ÁLVAREZ

Después de estos años de duro esfuerzo realizando una carrera de fondo, con la realización de este proyecto doy el último paso para alcanzar la meta. Todo este esfuerzo no hubiera sido posible sin todas aquellas personas que me han apoyado durante estos años.

Quisiera comenzar dando las gracias a mi tutora, Susana, que me ha facilitado mucho el trabajo con su dedicación y esfuerzo.

También quisiera agradecer a mis amigos los buenos ratos que me hacen pasar y que siempre estén cuando se les necesite.

Muchísimas gracias a mis padres y mi hermana por toda su apoyo y cariño durante todos estos años, ya que sin ellos no hubiera podido llegar hasta aquí.

Por último quisiera agradecer especialmente todo el apoyo y paciencia, que ha sido mucha, a Marimar ya que sin su apoyo constante no lo hubiera conseguido.

ÍNDICE

1. Introducción	9
Objetivos del proyecto	10
Estructura del documento	11
2. Modulación Sigma-Delta Autorresonante con Codificación Temporal (SDAT).....	12
2.1 Moduladores Sigma-Delta en Tiempo Continuo (SDTC)	13
2.2 Limitaciones tecnológicas de implementación de moduladores SDTC en tecnologías nanométricas.....	19
2.3 Modulador Sigma-Delta Autorresonante con codificación temporal (SDAT)	23
3. Metodología de diseño de un modulador SDAT	29
3.1 Objetivo	30
3.2 Requisitos que debe de cumplir la metodología de diseño	31
3.2.1 Independencia de los bucles del modulador SDAT	31
3.2.2 Estabilidad del sistema completo.....	37
3.2.3 Resolución frente a consumo de potencia.....	39
3.3 Fases de la Metodología de diseño	39
3.3.1 Primera Fase: Selección de parámetros de diseño	41
3.3.2 Segunda fase: Cálculo del filtro de lazo.....	42
3.3.3 Tercera fase: Optimización del filtro	43
3.3.4 Cuarta fase: Simulación	44
3.4 Algoritmo seguido por la Metodología de diseño.....	45
4. Implementación de la Metodología de diseño en Matlab/Simulink.....	47
4.1 Algoritmos implementados en la herramienta	48
4.1.1 Primera Fase: Selección de parámetros de diseño	48
4.1.2 Segunda fase: Cálculo del filtro de lazo $H_{sd}(s)$	52
4.1.3 Tercera fase: Optimización del filtro	56
4.1.4 Cuarta fase: Simulación	61
4.2 Descripción de la interfaz gráfica de la herramienta	62
4.2.1 Primera fase	64
4.2.2 Segunda fase	65
4.2.3 Tercera fase.....	66
4.2.4 Cuarta fase	68

5. Validación de la Metodología de diseño	69
5.1 Comparación con el caso de 65nm	70
5.1.1 Descripción del modulador SDAT diseñado en 65nm	70
5.1.2 Resultados de la herramienta	76
5.1.3 Comparación de ambos Moduladores	82
5.2 Comparación con el caso de 130nm.	84
5.2.1 Descripción del modulador SDAT diseñado en 130nm	85
5.2.2 Resultados de la herramienta	90
5.2.3 Comparación de ambos Moduladores	96
5.3 Casos de interés	97
5.3.1 Comparación del modulador con diseño medio y el modulador conservador	102
6. Conclusiones.....	104
Líneas futuras de trabajo	105
7. Referencias Bibliográficas	106
ANEXO I: Manual de usuario de la herramienta SDAT_DESIGN.....	108

INDICE DE FIGURAS

<i>Figura 2.1 Modelo Lineal del cuantificador</i>	<i>13</i>
<i>Figura 2.2 Densidad Espectral de ruido de cuantificación</i>	<i>13</i>
<i>Figura 2.3 Diagrama de bloques de un modulador SDTC</i>	<i>15</i>
<i>Figura 2.4.a Modelo lineal del modulador SDTC</i>	<i>15</i>
<i>Figura 2.5 STF y NTF de un modulador SDTC</i>	<i>17</i>
<i>Figura 2.6 Representación de NTF para distintos órdenes del modulador</i>	<i>18</i>
<i>Figura 2.7 Diagrama de bloques de un modulador SDAT</i>	<i>20</i>
<i>Figura 2.8 Densidad espectral de un modulador SDTC convencional con un cuantificador de 1 bit [8]</i>	<i>21</i>
<i>Figura 2.9 Densidad espectral de un modulador SDAT con oscilación en la frecuencia f_c [8]</i>	<i>21</i>
<i>Figura 2.10 Filtrado en la frecuencia f_c de la densidad espectral del modulador SDAT</i>	<i>22</i>
<i>Figura 2.11 a) Diagrama de bloques de un SDTC b) Diagrama de bloques del SDAT equivalente al SDTC anterior</i>	<i>23</i>
<i>Figura 2.12 Diagrama de bloques del TEQ de un SDAT</i>	<i>25</i>
<i>Figura 2.13 Representación de las señales del TEQ en el dominio del tiempo</i>	<i>26</i>
<i>Figura 3.1 Diagrama de bloques del TEQ con el decodificador digital.....</i>	<i>30</i>
<i>Figura 3.2 Diagrama de bloques de un modulador SDAT</i>	<i>32</i>
<i>Figura 3.3 Modelo lineal del modulador SDAT.....</i>	<i>33</i>
<i>Figura 3.4 Esquema del diagrama de Bode en módulo de la función de transferencia $H_1(s)$..</i>	<i>34</i>
<i>Figura 3.5 Esquema del diagrama de Bode en módulo de la función de transferencia $H_2(s)$</i>	<i>35</i>
<i>Figura 3.6 Esquema del diagrama de Bode de la función de transferencia $H_T(s)$</i>	<i>36</i>
<i>Figura 3.7 Ejemplo del diagrama de Bode de las funciones de transferencia para un diseño real</i>	<i>37</i>
<i>Figura 3.8 Diagrama de flujo del Algoritmo de aplicación de la Metodología de diseño</i>	<i>46</i>
<i>Figura 4.1 Diagrama de bloques del modulador SDAT</i>	<i>51</i>
<i>Figura 4.2 Modelo lineal de un SDAT</i>	<i>55</i>
<i>Figura 4.3 Esquema del diagrama de Bode de $H_T(s)$ para la definición de las figuras de mérito</i>	<i>59</i>
<i>Figura 4.4 Modelo de Simulink de un SDAT.....</i>	<i>61</i>
<i>Figura 4.5 Captura de la herramienta SDAT_DESIGN</i>	<i>63</i>
<i>Figura 4.6 Captura del bloque de selección de opciones de diseño</i>	<i>64</i>
<i>Figura 4.7 Captura del bloque de diseño del filtro señalando los elementos que se utilizan en esta fase de diseño.....</i>	<i>65</i>
<i>Figura 4.8 Captura del Bloque de diseño del filtro con los elementos utilizados para el cálculo del filtro</i>	<i>66</i>
<i>Figura 4.9 Captura de las Figuras de mérito mostradas por la herramienta</i>	<i>66</i>
<i>Figura 4.10 Captura del bloque que realiza la optimización del filtro</i>	<i>67</i>
<i>Figura 4.11 Captura de los diagramas de Bode de las funciones de transferencia del modelo lineal del diseño</i>	<i>67</i>

<i>Figura 4.12 Captura del bloque que realiza la simulación del diseño</i>	<i>68</i>
<i>Figura 5.1 Diagrama de bode de la función de transferencia de la ecuación 5.3.....</i>	<i>72</i>
<i>Figura 5.2 Diagrama de bloques del SDAT en 65nm</i>	<i>73</i>
<i>Figura 5.3 Representación circuital del SDAT en 65nm</i>	<i>73</i>
<i>Figura 5.4 Rango dinámico del SDAT en 65nm Simulado en Matlab</i>	<i>74</i>
<i>Figura 5.5 Espectro de la señal de salida del SDAT en 65nm. Simulación del circuito fabricado</i>	<i>75</i>
<i>Figura 5.6 Rango dinámico del modulador SDAT en 65nm. Simulación del circuito fabricado</i>	<i>75</i>
<i>Figura 5.7 Captura de las opciones de diseño proporcionadas por la herramienta.....</i>	<i>77</i>
<i>Figura 5.8 Captura de la ubicación de los ceros y polos proporcionada por la herramienta ...</i>	<i>78</i>
<i>Figura 5.9 Diagrama de bode de la función de transferencia representada en la ecuación 5.6</i>	<i>78</i>
<i>Figura 5.10 Diagrama de bode de las funciones de transferencia $H_1(s)$, $H_2(s)$ y $H_T(s)$</i>	<i>79</i>
<i>Figura 5.11 Figuras de mérito proporcionadas por la herramienta</i>	<i>80</i>
<i>Figura 5.12 Espectro de la señal de salida del modulador SDAT realizado con la herramienta</i>	<i>80</i>
<i>Figura 5.13 Rango dinámico del modulador SDAT realizado con la herramienta.....</i>	<i>81</i>
<i>Figura 5.14 Diagrama de bloques del modulador SDAT en 130 nm.....</i>	<i>86</i>
<i>Figura 5.15 Espectro en potencia de la señal de salida del SDAT en 65nm. Simulación en Matlab</i>	<i>87</i>
<i>Figura 5.16 Rango dinámico del modulador SDAT en 130nm</i>	<i>87</i>
<i>Figura 5.17 Representación circuital del SDAT en 130nm</i>	<i>88</i>
<i>Figura 5.18 Layout del SDAT fabricado en 130nm</i>	<i>89</i>
<i>Figura 5.19 Espectro de la señal de salida del modulador SDAT en 130nm. Simulación del circuito real.....</i>	<i>89</i>
<i>Figura 5.20 Rango dinámico del SDAT en 130nm. Simulación del circuito real.....</i>	<i>90</i>
<i>Figura 5.21 Captura de las opciones de diseño proporcionadas por la herramienta.....</i>	<i>91</i>
<i>Figura 5.22 Ubicación de los polos y ceros de $H_{sd}(s)$ proporcionado por la herramienta</i>	<i>92</i>
<i>Figura 5.23 Diagrama de Bode de la función de transferencia $H(sTs) \cdot e^{-sT_d}$ del SDAT.....</i>	<i>92</i>
<i>Figura 5.24 Representación del diagrama de Bode $H_1(s)$, $H_2(s)$ y $H_T(s)$.....</i>	<i>93</i>
<i>Figura 5.25 Figuras de mérito proporcionadas por la herramienta</i>	<i>94</i>
<i>Figura 5.26 Espectro de la señal de salida del modulador SDAT diseñado con la herramienta</i>	<i>94</i>
<i>Figura 5.27 Rango dinámico del modulador SDAT diseñado con la herramienta.....</i>	<i>95</i>
<i>Figura 5.28 Captura de las opciones de diseño proporcionadas por la herramienta diseño medio</i>	<i>98</i>
<i>Figura 5.29 Ubicación de los polos y ceros de $H_{sd}(s)$.....</i>	<i>99</i>
<i>Figura 5.30 Diagrama de Bode de las funciones de transferencia $H_1(s)$, $H_2(s)$ y $H_T(s)$ del modulador SDAT con estrategia de diseño media</i>	<i>99</i>
<i>Figura 5.31 Figuras de mérito para el modulador SDAT estrategia de diseño media.....</i>	<i>100</i>
<i>Figura 5.32 Espectro de potencia de la señal de salida del modulador SDAT estrategia de diseño media.....</i>	<i>101</i>
<i>Figura 5.33 Rango dinámico para el modulador SDAT estrategia de diseño media</i>	<i>101</i>

<i>Figura I.1 Herramienta SDAT_DESIGN</i>	<i>108</i>
<i>Figura I.2 Bloque de opciones de Diseño</i>	<i>109</i>
<i>Figura I.3 No se encuentran opciones de diseño</i>	<i>109</i>
<i>Figura I.4 Proceso de selección de una opción de diseño</i>	<i>110</i>
<i>Figura I.5 Selección de parámetros del filtro y botón ‘Calcular Filtro’</i>	<i>110</i>
<i>Figura I.6 Representación de los elementos de evaluación de la herramienta</i>	<i>111</i>
<i>Figura I.7 Detalle del checkbox ‘Sin figuras’ y del botón ‘Mostrar coeficientes’</i>	<i>112</i>
<i>Figura I.8 Ventana informativa con los coeficientes del filtro de lazo</i>	<i>112</i>
<i>Figura I.9 Elementos de optimización del filtro.....</i>	<i>113</i>
<i>Figura I.10 Introducción del cero de compensación</i>	<i>113</i>
<i>Figura I.11 Bloque de simulación.....</i>	<i>114</i>
<i>Figura I.12 Bloque para guardar los datos obtenidos.....</i>	<i>114</i>

ÍNDICE DE TABLAS

<i>Tabla 5.1 Especificaciones de diseño del modulador SDAT en 65nm</i>	<i>70</i>
<i>Tabla 5.2 Parámetros de diseño del modulador SDTC equivalente</i>	<i>71</i>
<i>Tabla 5.3 Parámetros de diseño del modulador SDAT en 65 nm</i>	<i>71</i>
<i>Tabla 5.4 Especificaciones del diseño del SDAT realizado con la herramienta para 65nm</i>	<i>76</i>
<i>Tabla 5.5 Opciones de diseño para el modulador SDAT realizado con la herramienta para 65nm</i>	<i>77</i>
<i>Tabla 5.6 Comparación de los parámetros de diseño del modulador de referencia en 65nm y el diseñado por la herramienta</i>	<i>83</i>
<i>Tabla 5.7 Ubicación de los polos y ceros de $H_{sd}(s)$ en el modulador de referencia en 65nm y el diseñado por la herramienta</i>	<i>83</i>
<i>Tabla 5.8 Especificaciones de diseño del modulador SDAT en 130 nm</i>	<i>85</i>
<i>Tabla 5.9 Parámetros de diseño del modulador SDTC multibit equivalente</i>	<i>85</i>
<i>Tabla 5.10 Parámetros de diseño del modulador SDAT en 130nm</i>	<i>86</i>
<i>Tabla 5.11 Especificaciones de diseño del SDAT diseñado con la herramienta</i>	<i>90</i>
<i>Tabla 5.12 Opciones de diseño del modulador SDAT diseñado con la herramienta</i>	<i>91</i>
<i>Tabla 5.13 Comparación de los parámetros de diseño del modulador de referencia en 130nm y el diseñado por la herramienta</i>	<i>96</i>
<i>Tabla 5.14 Especificaciones de diseño para el modulador SDAT con estrategia de diseño media</i>	<i>98</i>
<i>Tabla 5.15 Parámetros de diseño del modulador SDAT tipo de diseño medio</i>	<i>98</i>
<i>Tabla 5.16 Comparación de los parámetros de diseño, tolerancia y prestaciones de los dos moduladores diseñados con las mismas especificaciones que el modulador de referencia en 65nm</i>	<i>102</i>

1. Introducción

Hoy en día la mayoría de los sistemas electrónicos que se utilizan en el ámbito de la ingeniería están basados en el procesamiento digital de señales, sin embargo, las magnitudes que medimos (temperatura, presión...) son parámetros físicos que vienen determinados por señales analógicas, las cuales deben ser manejadas por estos sistemas electrónicos. Por lo tanto cada vez es más necesario utilizar convertidores Analógico Digitales (A/D) o Digitales Analógicos (D/A). El procesamiento digital de señales se ha popularizado en las últimas décadas ya que es bastante más ventajoso trabajar con señales digitales que con señales analógicas [1].

Actualmente existe una gran variedad de convertidores A/D que se integran en tecnología CMOS. En las aplicaciones de comunicaciones entre los más importantes se encuentran los convertidores de tipo Pipeline, los convertidores de tipo flash y los convertidores basados en moduladores Sigma-Delta [2]. Los dos primeros se suelen utilizar para aplicaciones de muy alta velocidad y resolución media baja. Mientras que el último se suele utilizar en aplicaciones de mayor resolución y velocidad media baja, esto es debido a que el ancho de banda útil es menor que la frecuencia de muestreo ya que en este tipo de convertidores la tasa a la que se muestrea es mayor que la tasa de Nyquist.

Por este hecho los convertidores A/D basados en moduladores Sigma-Delta se han venido utilizando tradicionalmente en aplicaciones en las que se sacrifique velocidad a cambio de tener una mayor resolución, como es el caso de las aplicaciones audio.

En la última década los convertidores Sigma-Delta, en especial los de tiempo continuo, están experimentando un mayor auge motivado por una evolución en las tecnologías CMOS y la aparición de nuevos estándares de comunicaciones por cable e inalámbricas, que está llevando a que las velocidades de estos conversores aumenten notablemente [3].

Circuitalmente los convertidores Sigma-Delta poseen bloques analógicos de especificaciones más relajadas que los Pipeline y los flash, es por esto que requieren menor área de silicio y por lo tanto es de esperar que consuman menos potencia para el mismo tipo de aplicación [4].

Si juntamos las dos conclusiones anteriores, podemos ver que en la actualidad los convertidores Sigma-Delta suponen una muy buena opción para aplicaciones que necesiten un procesamiento digital de señal con velocidades altas y buenas resoluciones.

Si analizamos los convertidores Sigma-Delta más a fondo, vemos que existen dos tipos de moduladores, de tiempo discreto y de tiempo continuo, en este proyecto

fin de carrera se tratarán los de tiempo continuo que son más apropiados para aplicaciones de alta velocidad. Para este tipo de aplicaciones es muy común usar cuantificadores multibit y baja relación de sobremuestreo. Sin embargo los moduladores Sigma-Delta de Tiempo Continuo (SDTC) no están exentos de problemas, ya que presentan varias limitaciones.

Algunas de estas limitaciones han sido investigadas y resueltas por diversas aplicaciones. No obstante las tecnologías subnanométricas de bajo voltaje presentan mayores retos tecnológicos en especial para la implementación de switches y cuantificadores multibit.

Actualmente existen varias propuestas para evitar el uso de cuantificadores multibit. Una de ellas consiste en usar una codificación temporal autorresonante similar a la codificación PWM [5]

En este proyecto fin de carrera se estudiará una arquitectura de moduladores Sigma-Delta en tiempo continuo basado en codificación temporal con el objeto de diseñar perfeccionar y automatizar una metodología de diseño apropiada. Estos moduladores Sigma-Delta aquí introducidos se denominarán de aquí en adelante Sigma-Delta Autorresonantes con codificación Temporal (SDAT).

Objetivos del proyecto

Los objetivos que se persiguen en la realización de este proyecto son los siguientes:

- Estudiar y Presentar las principales características de funcionamiento así como los parámetros de los SDAT.
- Desarrollar una metodología de diseño para los SDAT que garantice la estabilidad del sistema y que proporcione la máxima resolución posible limitando al máximo el consumo de potencia.
- Diseñar una herramienta software que proporcione una manera sencilla de llevar a cabo la metodología desarrollada para el diseño de moduladores SDAT.
- Validación de la metodología de diseño propuesta y de la herramienta software. Para ello se analizarán dos circuitos de integración en tecnologías CMOS nanométricas ya diseñados, fabricados y probados y se compararán con los resultados proporcionados por la herramienta diseñada.

Estructura del documento

Este proyecto está formado por seis capítulos incluyendo este de introducción.

En capítulo 2 se introducen los moduladores SDTC convencionales explicando los conceptos de sobremuestreo y conformado espectral. Posteriormente se analizan los SDAT como una alternativa a los SDTC para solucionar los problemas de los SDTC en las tecnologías CMOS nanométricas.

En el capítulo 3 se plantea una metodología de diseño completa para los SDAT, vista desde un nivel de abstracción elevado, analizando sus fases y requisitos más importantes.

En el capítulo 4 se explica cómo se implementa la metodología de diseño presentada en el capítulo 3 en una herramienta software, además se describe como es la herramienta en particular.

En el capítulo 5 se realizará la validación de la metodología de diseño utilizando para ello la herramienta software implementada. Para ello se compararán dos diseños realizados con la herramienta, con dos casos de estudio de dos moduladores SDAT en tecnologías CMOS nanométricas ya diseñados y fabricados con otra metodología de diseño.

En el capítulo 6 se presentarán las conclusiones obtenidas tras la realización de este proyecto fin de carrera y se presentarán las posibles líneas de trabajo futuras.

2. Modulación Sigma-Delta Autorresonante con Codificación Temporal (SDAT)

En este capítulo se van a presentar un nuevo tipo de SDTC, estos moduladores serán los SDAT. Estos moduladores surgen como respuesta a las limitaciones y problemas que tienen los SDTC en aplicaciones de comunicaciones en las que el ancho de banda es alto cuando se implementan en tecnologías CMOS nanométricas (<90nm)

Inicialmente se presentarán los moduladores SDTC utilizando un cuantificador uniforme, definiendo su funcionamiento basado en sobremuestreo y conformado espectral. Además veremos ciertos parámetros y características que se definen en estos moduladores.

Una vez presentados los SDTC se pasará a explicar su problemática en el campo de las aplicaciones de comunicaciones, y se presentará una posible solución que será utilizar codificación temporal en lugar de la cuantificación en amplitud anteriormente empleado.

El siguiente paso será establecer una topología que implemente la solución propuesta.

Finalmente se definirán los parámetros de diseño que tendrá el SDAT estudiado en este proyecto fin de carrera.

2.1 Moduladores Sigma-Delta en Tiempo Continuo (SDTC)

Los moduladores Sigma-Delta son elementos que se utilizan para llevar a cabo conversores A/D. Estos moduladores están basados en los conceptos de sobremuestreo y conformado espectral del ruido de cuantificación, de esta manera se consigue mejorar la relación señal a ruido (SNR) del sistema dentro del Ancho de banda de interés.

Un cuantificador se puede modelar como un sistema lineal en el que se tiene una entrada $x(n)$, una salida $y(n)$ y un error aditivo $e(n)$. De esta manera el error que se tiene es $e(n) = y(n) - x(n)$. Se puede ver en la figura [2]:

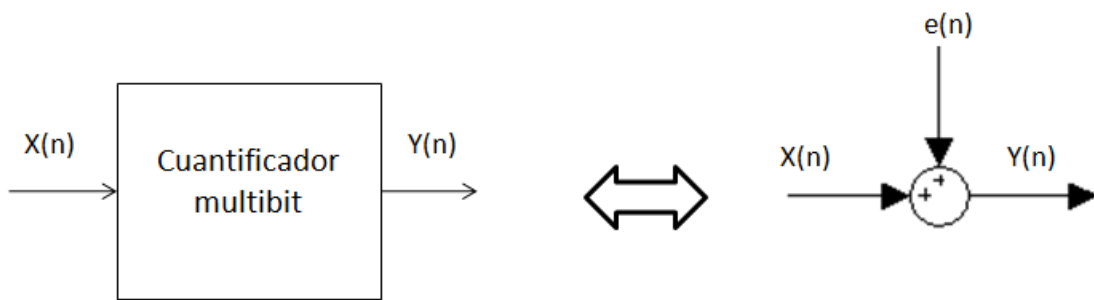


Figura 2.1 Modelo Lineal del cuantificador

El error de cuantificación se puede considerar como ruido blanco uniformemente distribuido entre $\pm \Delta/2$ cuando la señal de entrada $x[n]$ varía rápidamente de forma impredecible y cuando la secuencia de error $e[n]$ está incorrelada con la señal de entrada muestreada $x[n]$. El valor de Δ corresponde a la diferencia entre dos niveles consecutivos del cuantificador [2].

De esta manera la densidad espectral de potencia del ruido de cuantificación $S_e(f)$ será blanca y estará uniformemente repartida dentro del intervalo $\pm f_s/2$, donde f_s es la frecuencia de muestreo. $S_e(f)$ se muestra en la siguiente figura:

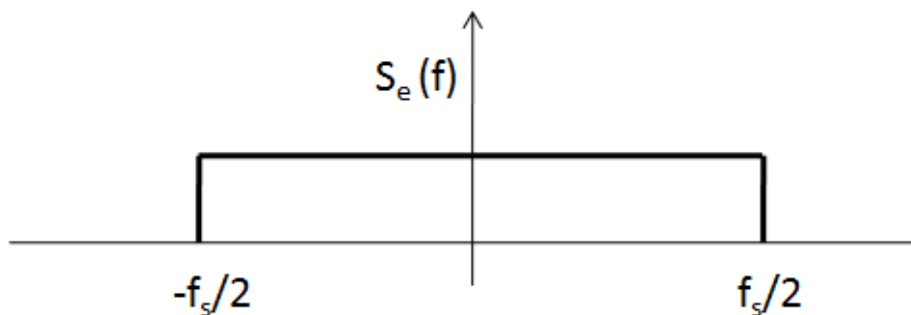


Figura 2.2 Densidad Espectral de ruido de cuantificación

Si integramos $S_e(f)$ se obtiene la potencia total del ruido de cuantificación que será:

$$Potencia_ruido_cuantificacion = \int_{-f_s/2}^{f_s/2} S_e^2(f) df = \frac{\Delta^2}{12} \quad \text{Ecuación 2.1}$$

Por lo tanto la amplitud de $S_e(f)$ será:

$$Amplitud_S_e(f) = \frac{\Delta}{\sqrt{12 \cdot f_s}} \quad \text{Ecuación 2.2}$$

El hecho de utilizar una tasa de muestreo mayor que la tasa de Nyquist ($f_s = 2 \cdot f_0$) es lo que se conoce como sobremuestreo [2]. El sobremuestreo hace que se obtenga un rango dinámico mayor ya que se obtiene una potencia de ruido menor dentro de la banda de interés, porque la potencia total se reparte en una franja mayor de frecuencia.

Podemos definir la tasa de sobremuestreo (OSR) de la siguiente manera

$$OSR = \frac{f_s}{2 \cdot f_0} \quad \text{Ecuación 2.3}$$

Donde f_s será la frecuencia de muestreo de nuestro sistema y f_0 el ancho de banda máximo de la señal analógica a cuantificar.

Por lo tanto al muestrear con una tasa mayor que la de Nyquist lo que se consigue es que $S_e(f)$ se expanda en frecuencia y como ahora el ancho de banda de interés es menor que el ancho de banda de $S_e(f)$, conseguimos una disminución de la potencia de ruido. Esto se puede demostrar si hacemos uso de la ecuación 2.2:

$$Pot_ruido_cuantificacion_sobremuestreo = \int_{-f_0/2}^{f_0/2} S_e^2(f) df = \frac{\Delta^2}{12} \cdot \frac{1}{OSR} \quad \text{Ecuación 2.4}$$

Por lo tanto queda demostrado que al utilizar técnicas de sobremuestreo disminuye la potencia de ruido de cuantificación y por lo tanto aumenta la SNR y consecuentemente aumenta el Rango dinámico. Este aumento será tanto mayor cuanto mayor sea la OSR.

Sin embargo este aumento en la SNR debido únicamente al sobremuestreo podría ser mucho mayor. Es por esto que se utiliza el conformado espectral de ruido de cuantificación. Con el conformado espectral lo que se busca es que el ruido de cuantificación se lleve a bandas de frecuencia mayores a las de nuestra señal.

Para llevar a cabo este conformado espectral se recurre al modulador Sigma-Delta en tiempo continuo que se representa en la figura 2.3. En este modulador se ha introducido un filtro $H(s)$ que será el encargado de hacer que el ruido de cuantificación disminuya a bajas frecuencias y aumente a altas.

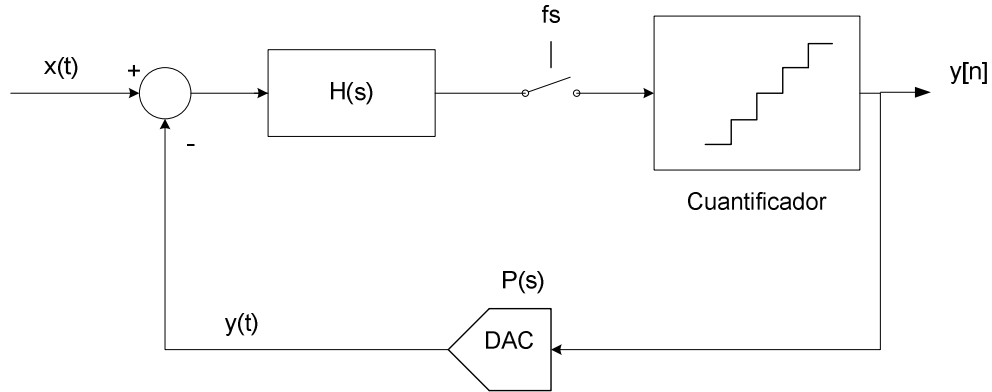


Figura 2.3 Diagrama de bloques de un modulador SDTC

Si consideramos el cuantificador únicamente como una fuente de ruido que se suma a la señal filtrada podemos obtener el modelo lineal equivalente del SDTC, el cual se muestra en la figura 2.4.a. Este modelo lineal se puede transformar en el circuito equivalente mostrado en la figura 2.4.b.

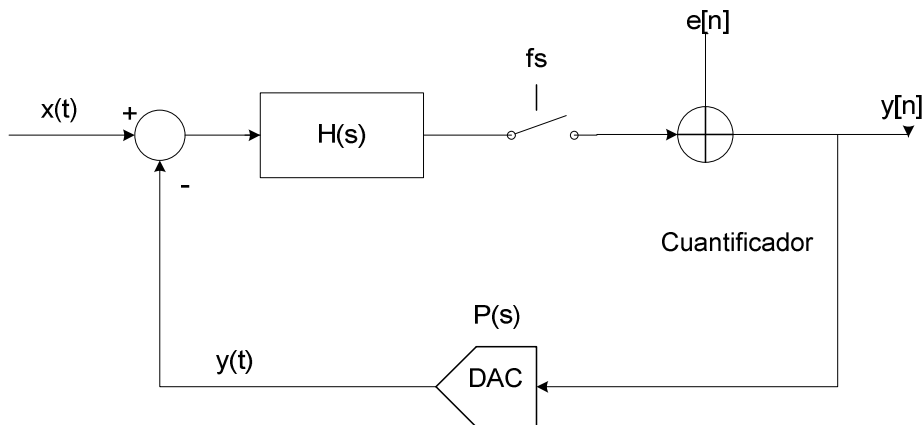


Figura 2.4.a Modelo lineal del modulador SDTC

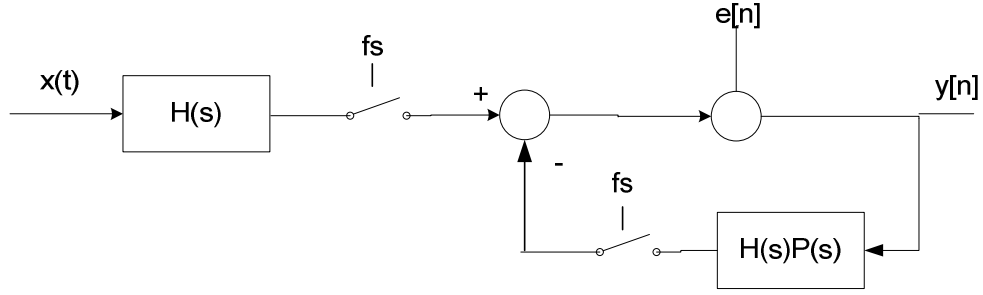


Figura 2.4.b) Esquema equivalente del modelo lineal del modulador SDTC

A partir de este modelo lineal mostrado en la figura 2.4.b podemos ver que la salida del sistema $y[n]$, será la suma de la señal de entrada filtrada por una función de transferencia STF (Signal Transfer Function) y el ruido de cuantificación filtrado por otra función de transferencia denominada NTF (Noise Transfer Function):

$$Y(z) = X(s) \cdot STF(z) + E(z) \cdot NTF(z) \quad \text{Ecuación 2.5}$$

Estas funciones de transferencia serán STF (Función de transferencia de la señal de entrada) y NTF (Función de transferencia del ruido). Y se definirán a continuación:

$$STF(z) = \frac{Z\{L^{-1}(H(s))|_{t=nT_s}\}}{1 + Z\{L^{-1}(H(s)P(s))|_{t=nT_s}\}} \quad \text{Ecuación 2.6}$$

$$NTF(z) = \frac{1}{1 + Z\{L^{-1}(H(s)P(s))|_{t=nT_s}\}} \quad \text{Ecuación 2.7}$$

Por lo tanto como ya hemos dicho anteriormente el conformado espectral de ruido lo llevará a cabo el filtro $H(s)$ ya que $P(s)$ es un conformador de pulsos tipo NRZ definido por la ecuación 2.8 que tiene baja influencia en el conformado espectral de $e[n]$. Así si lo diseñamos de manera que tome un valor lo mayor posible en el ancho de banda de interés (0- f_0), la NTF será muy cercana a cero en el ancho de banda y la STF será cercana a uno. Consiguiéndose así llevar la mayor parte de ruido fuera del ancho de banda de interés y que la señal de entrada se modifique lo menos posible.

$$P(s) = \frac{1 - e^{-sT_s}}{sT_s} \quad \text{Ecuación 2.8}$$

En la figura 2.5 podemos ver un esquema de cómo quedaría la NTF y STF de un modulador SDTC. En ella se puede ver que la NTF realiza el conformado de ruido y que la STF deja igual la señal de entrada.

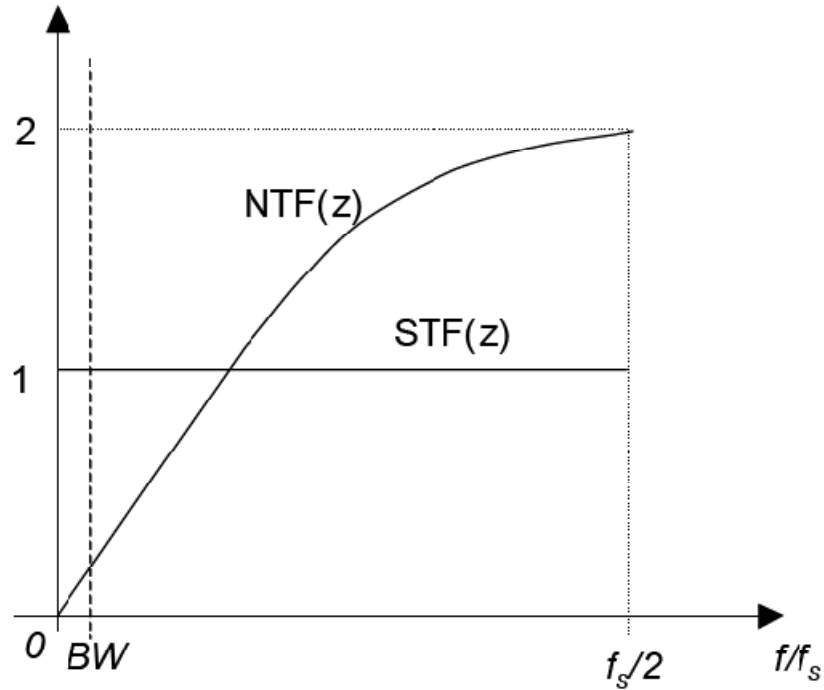


Figura 2.5 *STF y NTF de un modulador SDTC*

El orden del modulador utilizado es el orden del filtro $H(s)$ que se coloque en el modulador. Por lo tanto si se modifica el orden del filtro se modificará la NTF también y por lo tanto el conformado de ruido. Cuanto mayor sea el orden del filtro más, agresiva será la NTF y más ruido de cuantificación se llevará a altas frecuencias con el consecuente aumento de la SNR y por lo tanto también del Rango dinámico. Sin embargo hay que tener en cuenta que un orden mayor en el filtro puede dar lugar a pérdida de estabilidad, por lo que no se podrá aumentar el orden todo lo que se quiera, y este será un aspecto que haya que tener en cuenta a la hora de diseñar el filtro del modulador Sigma-Delta. En la figura 2.6 se puede ver que a medida que aumenta el orden de la NTF el módulo a bajas frecuencias es menor y por lo tanto el ruido también será menor.

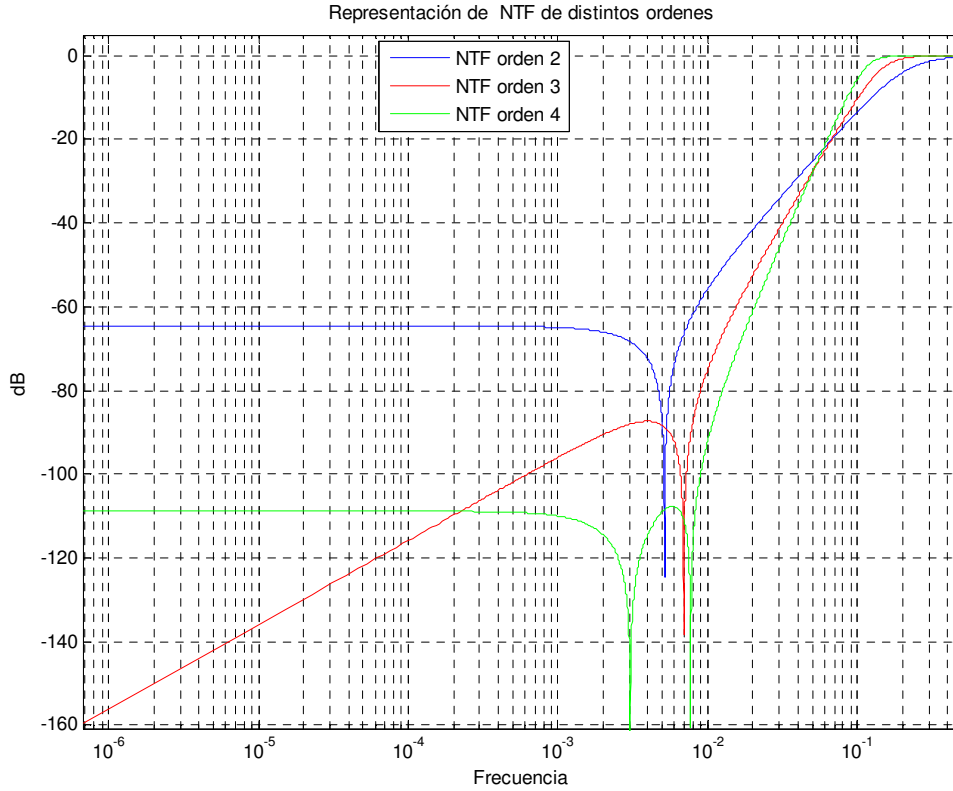


Figura 2.6 Representación de NTF para distintos órdenes del modulador

Si consideramos el modulador SDTC de la figura 2.3 y su modelo lineal representando en la figura 2.4. Puede demostrarse que el Rango dinámico en este caso es lineal y cumple la siguiente expresión:

$$DR = \frac{s_0^2}{n_0^2} = \frac{3}{2} \cdot \frac{2n+1}{\pi^{2n}} \cdot (2^N - 1)^2 \cdot OSR^{2n+1} \quad \text{Ecuación 2.9}$$

Donde podemos definir:

- s_0^2 = potencia de un tono de amplitud igual al fondo de escala
- n_0^2 = potencia en banda del ruido de cuantificación
- n = orden del modulador
- N = número de bits del cuantificador
- OSR = relación de sobremuestreo

La ecuación 2.9 se obtiene supuesto de estimar $NTF(z) = (1 - z^{-1})^n$

Para aumentar la resolución del modulador se puede incrementar el orden de filtrado, incrementar el número de bits empleados en la cuantificación, o bien incrementar la OSR.

Este rango dinámico idealmente se corresponde con la SNR que se tiene para una entrada de amplitud igual al fondo de escala, pero puede suceder que este rango dinámico se vea reducido por la falta de estabilidad del sistema. Los moduladores Sigma-Delta de orden ≥ 2 pueden ser inestables siendo muy importante a la hora del diseño definir los filtros de lazo de manera que se asegure la estabilidad del sistema.

2.2 Limitaciones tecnológicas de implementación de moduladores SDTC en tecnologías nanométricas.

El uso de tecnologías CMOS nanométricas para llevar a cabo convertidores de datos se está extendiendo en los últimos tiempos. En estas tecnologías el voltaje de alimentación de los chips es bajo en torno a 1V, por motivos de fiabilidad y disipación de calor.

La mayoría de los convertidores de datos que usan hoy en día moduladores SDTC utilizan cuantificadores multibit. Esto supone un grave problema a la hora de implementar moduladores SDTC en tecnología CMOS nanométrica, ya que al disminuir el voltaje de alimentación es cada vez más complejo implementar cuantificadores uniformes con un alto número de niveles.

Esto es así debido a que los cuantificadores multibit están implementados por convertidores tipo flash que fijan los niveles de cuantificación mediante referencias de voltaje. Estas referencias son conseguidas a partir de la tensión de alimentación.

Observando el layout de los moduladores Sigma-Delta en tiempo continuo se puede ver que el cuantificador flash multibit y Los DAC multibit constituyen un porcentaje elevado del área de silicio.

Por lo tanto si se analizan las dos limitaciones anteriormente mencionadas de los moduladores Sigma-Delta de tiempo continuo se puede abstraer fácilmente que a la hora de implementar SDTC con tecnologías CMOS nanométricas el principal problema es el desarrollo de un cuantificador multibit.

Por otro lado una de las ventajas de utilizar tecnología CMOS nanométrica es que se pueden utilizar relojes cada vez mayores sin elevar el consumo de potencia. Este hecho puede ser utilizado por los moduladores Sigma-Delta para ser utilizados en aplicaciones de comunicaciones con tecnologías CMOS nanométricas. Ya que las aplicaciones de comunicaciones tienen un ancho de banda grande y por lo tanto se

podrá aumentar el reloj, aumentando la OSR del Sigma-Delta y obteniendo mejores prestaciones.

Si se observa la ecuación 2.9 en la que se aproxima el valor del rango dinámico para SDTC, vemos que depende únicamente del orden del modulador, de la OSR y del número de bits del cuantificador. Por lo tanto aumentando estos parámetros se consigue aumentar el rango dinámico. El orden del modulador no se puede aumentar mucho, ya que cuanto más alto sea más complicado será estabilizar el modulador. Por lo tanto, si se utilizan tecnologías CMOS nanométricas, solamente nos quedan dos opciones para aumentar el rango dinámico: aumentar la OSR y aumentar el número de bits del cuantificador.

Si se aumenta el número de bits del cuantificador nos encontramos con el problema señalado anteriormente en la implementación de cuantificadores multibit en tecnologías CMOS. Por lo tanto en los moduladores SDTC convencionales realizados en tecnologías CMOS se ha optado por utilizar cuantificadores de 1 bit (dos niveles) y aumentar la OSR todo lo que se pueda para intentar tener el mejor rango dinámico posible, como se muestra en la figura 2.8. Sin embargo esta solución no proporciona resultados tan buenos como el uso de cuantificadores multibit.

Este hecho hace necesario que se busquen nuevas alternativas que propongan cambios en la arquitectura de los SDTC convencionales. Estas nuevas arquitecturas propuestas se han centrado principalmente en sustituir el cuantificador y DAC multibit por codificadores temporales que den los mismos resultados. De esta manera se podrá mejorar la OSR y el número de niveles según la ecuación 2.9 para obtener mejores rangos dinámicos utilizando tecnologías CMOS nanométricas.

Hay varias alternativas propuestas para utilizar codificación temporal en lugar de amplitud, entre ellas están las basadas en VCO [6], o en TDC [7]. Este proyecto va a tratar una en particular que es la que se ha denominado SDAT, y que fue propuesta en [5]. El diagrama de bloques de un SDAT se muestra en la figura 2.7.

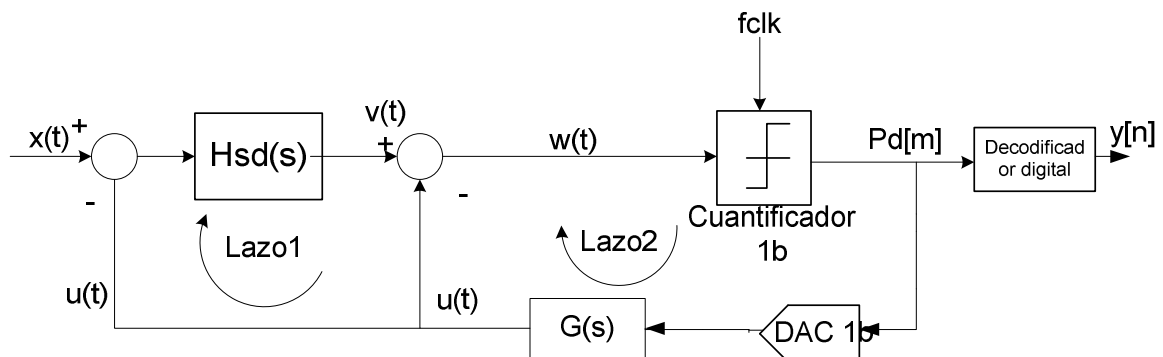


Figura 2.7 Diagrama de bloques de un modulador SDAT

El SDAT está formado por dos lazos de realimentación. El lazo 1 se encarga de realizar el conformado espectral similar a un Sigma-Delta convencional, y el lazo 2 es el que fija la oscilación del ciclo límite a frecuencia f_c . El lazo 2 está formado por un cuantificador de 1 bit, un DAC de 1 bit y un bloque analógico $G(s)$.

Con la utilización del SDAT lo que se busca es conseguir un sistema que almacene la mayor parte de potencia entorno a una determinada frecuencia f_c , la cual este muy lejos de la banda de interés, consiguiendo una mejora en la SNR del sistema y por lo tanto un aumento en el Rango dinámico.

Para explicar de una manera más clara esto presentaremos las figuras 2.8 Y 2.9 [8], que se corresponden ambas con moduladores Sigma-Delta de un solo bit:



Figura 2.8 Densidad espectral de un modulador SDTC convencional con un cuantificador de 1 bit [8]

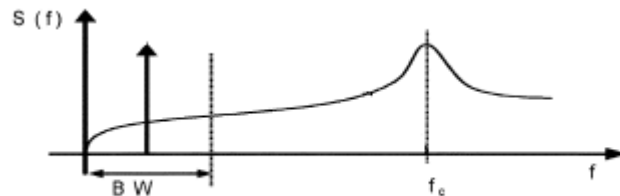


Figura 2.9 Densidad espectral de un modulador SDAT con oscilación en la frecuencia f_c [8]

La figura 2.8 muestra la densidad espectral de ruido de cuantificación de un modulador Sigma-Delta clásico con un cuantificador de un bit, en el que la señal de entrada está incorrelada con el ruido de cuantificación. Este modulador lo que hace es codificar la señal de entrada que será analógica, produciendo a la salida una señal binaria (ya que tenemos un cuantificador de dos niveles) y por lo tanto de potencia constante en toda la banda. Habitualmente para aumentar el Rango Dinámico de estos moduladores clásicos lo que se hace es utilizar un cuantificador flash con más niveles, de esta manera se reduce el ruido de cuantificación que introduce el sistema. Otra estrategia que se puede seguir en estos moduladores es aumentar el orden del modulador, es decir, aumentar el orden del filtro de lazo, para así conseguir una NTF más agresiva que permita reducir el ruido de cuantificación en el ancho de banda de

interés y se lleve el ruido a bandas más altas, sin embargo hay que tener cuidado con esta estrategia, ya que si se aumenta mucho el orden se puede reducir mucho el ruido de cuantificación con el conformado, pero a la vez se puede obtener un sistema inestable. Para evitar inestabilidades la NTF suele ser un filtro maximalmente plano, evitando la concentración de potencia en una frecuencia.

En contraste, en la figura 2.9 la propuesta es conseguir un sistema con un cuantificador de un bit que almacene la mayor parte de la potencia de ruido entorno a una frecuencia fuera de la banda de interés. Esto se puede conseguir diseñando un sistema que oscile de forma controlada en una frecuencia f_c lejana al ancho de banda cuando el sistema esté en reposo, es decir, sin entrada. A medida que la entrada vaya tomando valores, el ciclo limite generado por la oscilación en reposo en torno a f_c se irá modulando con la señal de entrada. Colocando un decodificador adecuado se puede transformar dicha modulación temporal en diferentes niveles de amplitud, resultando equivalente al uso de un cuantificador multibit.

Las figuras 2.8 y 2.9 han sido generadas ambas a partir de moduladores con cuantificadores de 1bit, sin embargo en la figura 2.8 se ha utilizado el modelo clásico y en la figura 2.9 lo que se ha utilizado ha sido el nuevo esquema con codificación temporal que genera un ciclo límite a frecuencia f_c . Como ya se vio en el apartado 2.1 la potencia de ruido de cuantificación es constante a lo largo de toda la banda para un mismo cuantificador, por lo tanto si integramos las dos densidades espectrales de las figuras 2.8 y 2.9 en toda la banda obtendremos la misma potencia de ruido. Sin embargo como se puede ver en la figura 2.9 tenemos una gran cantidad de potencia concentrada en torno a la frecuencia f_c , esto hace que en el ancho de banda de interés la potencia sea mucho menor para el caso de la figura 2.9 (modulador con codificación temporal) que para el caso de la figura 2.8 (modulador clásico). Entonces se puede concluir que para una misma señal de entrada y considerando únicamente el ruido que se tiene dentro del ancho de banda de interés se tendrá un ruido menor en el caso de la figura 2.9.

Por último se puede ver en la figura 2.10 que esta concentración de potencia de ruido a frecuencia f_c , no supone ningún problema ya que puede ser eliminada fácilmente mediante un filtro sinc que tenga un cero a la frecuencia f_c . En la figura será la línea discontinua.

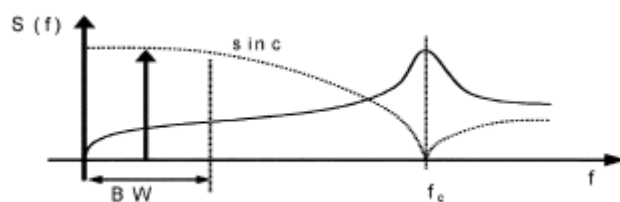


Figura 2.10 Filtrado en la frecuencia f_c de la densidad espectral del modulador SDAT

2.3 Modulador Sigma-Delta Autorresonante con codificación temporal (SDAT)

Una vez planteado conceptualmente el principio de funcionamiento de un SDAT, el siguiente paso será presentar la arquitectura que se va a estudiar.

El concepto básico de esta arquitectura de modulador (SDAT) consiste en reemplazar el cuantificador multibit de un modulador Sigma-Delta de tiempo continuo y sus correspondientes DAC multibit por un circuito cuantificador de codificación temporal con un cuantificador de un bit. En la figura 2.11 se puede ver el proceso de sustitución.

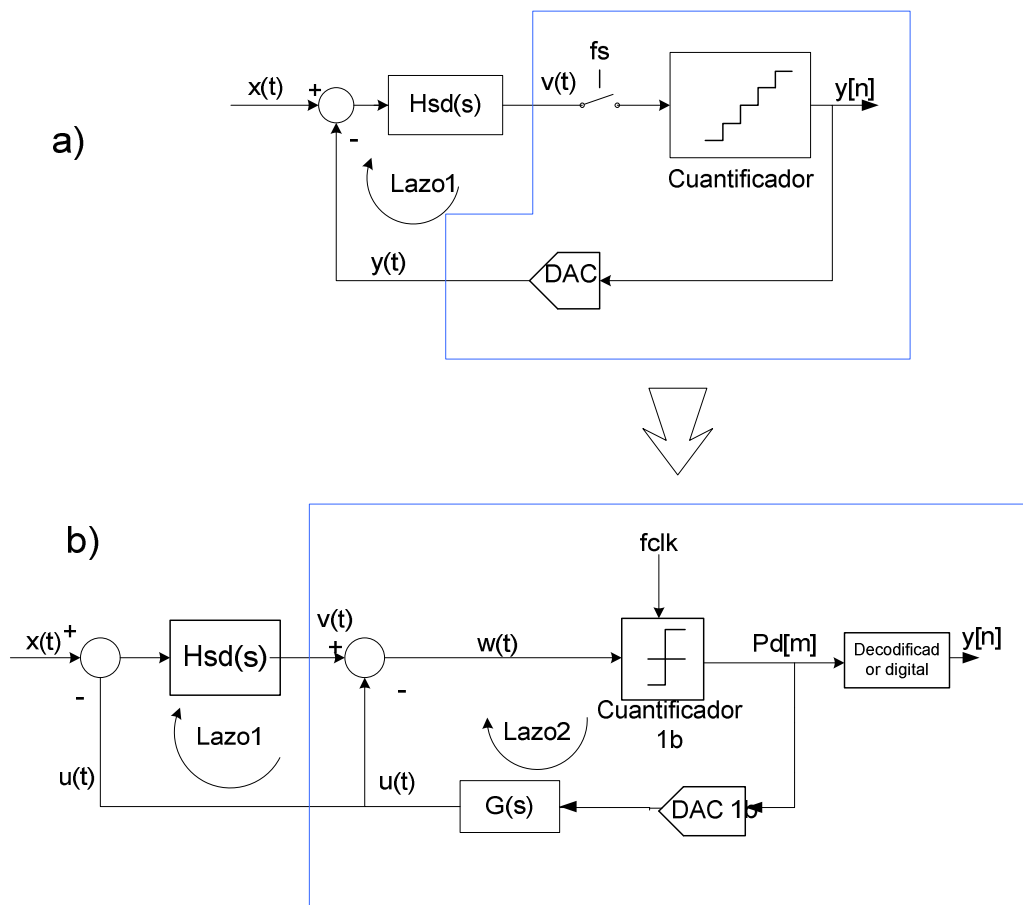


Figura 2.11 a) Diagrama de bloques de un SDTC b) Diagrama de bloques del SDAT equivalente al SDTC anterior

Con la nueva arquitectura presentada en la figura 2.11.b la oscilación a la frecuencia f_c presentada en la figura 2.9, se controla con el lazo 2.

En la figura 2.11.a podemos ver un modulador SDTC con cuantificador uniforme multibit y un DAC multibit también. En él, el filtro $H_{sd}(s)$ en el lazo1 es el que se

encarga del conformado espectral del ruido de cuantificación. En la figura 2.11.b se muestra el SDAT en el que se ha reemplazado el cuantificador y DAC multibit por un segundo lazo (lazo 2), pero mantiene igual el filtro de lazo $H_{sd}(s)$ del lazo 1.

De esta manera la arquitectura de este nuevo modulador Sigma-Delta, denominado SDAT figura 2.11.b, presenta dos lazos cada uno con una función determinada y que se busca que sean lo más independientes que se pueda uno del otro. Las funciones de estos lazos son las siguientes:

- **Lazo 1:** Es el encargado de llevar a cabo el conformado espectral del ruido de cuantificación a través del filtro $H_{sd}(s)$. En este sentido la función de este lazo es la misma que la del lazo del modulador Sigma-Delta de tiempo continuo clásico.
- **Lazo 2:** Está formado por un cuantificador de un bit, un DAC de un bit y un bloque analógico $G(s)$. Este segundo lazo será el encargado de controlar la oscilación y por lo tanto produce la codificación temporal ya que será diseñado como un cuantificador de codificación temporal (TEQ). En reposo el lazo 2 generará la oscilación alrededor de la frecuencia f_c y para ello habrá que seleccionar una función $G(s)$ adecuada.

El funcionamiento a grandes rasgos del SDAT que se muestra en la figura 2.11.b es el siguiente: Se introduce una señal de entrada al modulador con una frecuencia dentro de la banda de interés, generándose una señal $u(t)$ como salida del lazo 2 y que cerrará el lazo de realimentación del modulador, el espectro de $u(t)$ contendrá la señal de entrada más una réplica modulada de la oscilación a frecuencia f_c . En este caso el ruido que tenemos en la banda de interés será menor que el ruido que tendríamos en un modulador Sigma-Delta convencional con un cuantificador de un bit debido a la concentración de potencia en torno a f_c . Además, esta reducción de ruido se produce también porque el ruido producido por el lazo 2 es también conformado por el lazo 1 del modulador SDAT.

Si observamos las figuras 2.11.a y 2.11.b vemos que la salida digital de ambos moduladores es $y[n]$, esto es así porque el SDAT produce una salida digital multinivel de la misma resolución que la señal de salida de un SDTC.

A continuación veremos las partes más importantes y los parámetros de diseño que aparecen en esta nueva arquitectura de modulador SDAT.

A) Cuantificador de Codificación Temporal (TEQ)

En la figura 2.12 se puede ver el diagrama de bloques de un TEQ, este sistema está compuesto por un cuantificador de un bit muestreado a la frecuencia f_{clk} , un DAC

de 1 bit y un bloque analógico $G(s)$ que se ubica en la rama de realimentación. De esta manera la señal de realimentación $u(t)$ es una versión reconstruida de la entrada donde el ciclo límite está atenuado. Esta implementación hace que la distorsión del TEQ y la frecuencia del ciclo límite f_c sean menos propensas a depender de la señal de entrada [5], consiguiéndose así que los dos lazos, definidos anteriormente, del modulador sean todo lo independientes que se pueda.

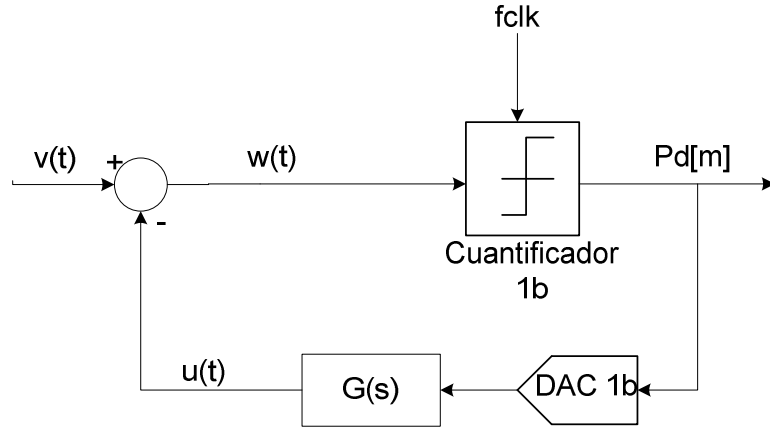


Figura 2.12 Diagrama de bloques del TEQ de un SDAT

La señal $w(t)$ es la diferencia entre la entrada $v(t)$ y la señal realimentada $u(t)$. Esta diferencia se cuantifica con una resolución de un bit, que indica si $v(t)$ es mayor o no que $u(t)$, y se muestrea con una frecuencia f_{clk} .

En el diseño de este sistema asumiremos que la frecuencia de muestreo del TEQ (f_{clk}) es mucho mayor que la frecuencia del ciclo límite (f_c), de esta manera podremos aproximar el TEQ como un sistema en tiempo continuo.

Dado que en un modulador SDTC la única frecuencia de muestreo que se tiene es $f_s = 2 \cdot BW \cdot OSR$, y en los SDAT tenemos una nueva frecuencia de muestreo dentro del segundo lazo (f_{clk}), definiremos un parámetro ROSR, que definirá la relación entre la frecuencia de muestreo del TEQ (f_{clk}) y la del Sigma-Delta (f_s). ROSR por tanto será un número entero que se definirá según la ecuación 2.9

$$ROSR = \frac{f_{clk}}{f_s} \quad \text{Ecuación 2.10}$$

En algunos estudios como en [5],[8],[9] el parámetro ROSR se ha definido como la relación entre f_{clk} y f_c . En este proyecto se ha decidido definirlo como en la ecuación 2.10, ya que parece más intuitivo fijar esta nueva relación de sobremuestreo entre las frecuencias de muestreo que presenta el SDAT. Sin embargo, esta diferente definición de este parámetro no varía el resultado final, ya que simplemente hay que

tener en cuenta como se define cada parámetro para tener cuidado a la hora de trabajar con él.

El bloque analógico $G(s)$ utilizado en el TEQ es el encargado de generar la oscilación de frecuencia f_c cuando la entrada $v(t)$, según la figura 2.12, es cero. Cuando $v(t)$ es cero la señal $u(t)$ de salida del bloque $G(s)$ será una señal periódica de frecuencia f_c .

Este filtro estará formado por un integrador, una ganancia y un retardo, de la siguiente forma:

$$G(s) = A \cdot \frac{k_c}{s} \cdot e^{-\frac{s}{k_c}}, \quad k_c = 4 \cdot f_c \quad \text{Ecuación 2.11}$$

Se puede ver de forma sencilla que el bloque $G(s)$ así definido genera una oscilación en la frecuencia del ciclo límite tal y como se ve en la figura 2.13.

Supuestos que se consideran en la figura:

$$f_{clk} \gg f_s \quad (ROSR \gg 1) \\ v(t) = 0 \quad A=1$$

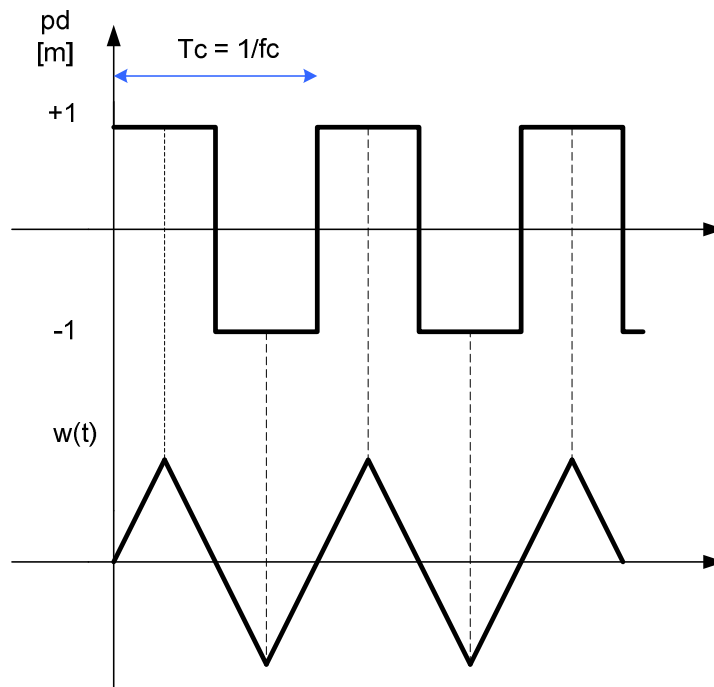


Figura 2.13 Representación de las señales del TEQ en el dominio del tiempo

Suponiendo que los dos niveles de salida del DAC son +1 y -1, se puede comprobar que la señal $u(t)$ será una señal triangular de frecuencia f_c y amplitud A .

El bloque analógico $G(s)$ se define en la ecuación 2.11 como un integrador seguido de un retardo. Sin embargo el integrador se puede sustituir por un filtro paso bajo de orden uno con un polo situado en el ancho de banda del sistema, ya que lo que se quiere conseguir es que a la frecuencia f_c el ciclo límite oscile. Esto se consigue de igual manera, ya que el filtro paso bajo de orden uno, mete un desfase de 90° y el retardo otro desfase de 90° , que juntándolos con la realimentación negativa dan lugar a la oscilación en f_c , siempre y cuando la amplitud del filtro este fijada de igual forma que en la ecuación 2.11. De aquí en adelante se utilizará un filtro paso bajo para implementar el integrador porque se puede implementar fácilmente con un circuito RC pasivo, lo que supone una gran ventaja si lo comparamos con un integrador.

Para conseguir optimizar el rango dinámico del TEQ es necesario actuar sobre el parámetro A que regula el nivel del ciclo límite comparado con la entrada del TEQ. Para ello es necesario hacer la amplitud A lo menor posible pero siempre por encima de una determinada A_{\min} , ya que si no el lazo no oscilará. Se debe asegurar que la señal $w(t)$ tome un valor por debajo de A_{\min} para cualquier señal de entrada dentro del ancho de banda. A_{\min} ha de calcularse para el peor caso posible a la entrada que será un tono al borde del ancho de banda de la señal de entrada al modulador Sigma-Delta. El valor óptimo que se obtiene para A_{\min} es el siguiente

$$A_{\min} = \frac{1}{K_g} = \frac{\pi\sqrt{3} \cdot BW}{2 \cdot f_c} \quad \text{Ecuación 2.12}$$

En la ecuación 2.12 aparece un parámetro denominado K_g , este parámetro es definido para aprovechar plenamente el rango dinámico del TEQ, ya que la máxima amplitud del TEQ depende de la función de transferencia $G(s)$ y la relación entre la señal de entrada limitada en banda y la frecuencia del ciclo límite.

Se definirá la relación entre la frecuencia de muestreo del modulador Sigma-Delta (f_s) y la frecuencia del ciclo límite mediante el parámetro COSR:

$$COSR = \frac{f_c}{f_s} \quad \text{Ecuación 2.13}$$

En el TEQ se produce un retardo estadístico variante en el tiempo entre el momento en el que se muestrea y la actualización de la señal $u(t)$, siempre que $COSR < 1$. Este retardo tendrá que ser tenido en cuenta a la hora de diseñar el sistema.

B) Integración del TEQ EN UN MODULADOR SIGMA-DELTA

Una vez que se han definido los parámetros del modulador SDAT, el siguiente paso será ver como estos parámetros se pueden obtener a partir de un SDTC convencional.

La resolución del modulador SDTC con un cuantificador multibit fijará la ROSR del SDAT. En un SDAT existen dos ruidos el ruido de interpolación y el ruido de cuantificación, normalmente el ruido de cuantificación será el que domine en los SDAT.

Como ya se vio en el apartado 2.1 el rango dinámico teórico de los moduladores Sigma-Delta es el representado por la ecuación 2.9. En este caso el rango dinámico sólo depende de la OSR, el orden del modulador y el número de bits del cuantificador uniforme que se tenga. El número de niveles equivalentes del cuantificador se obtiene de la siguiente manera [5]:

$$N_l = \frac{4}{\pi\sqrt{3}} \cdot OSR \cdot ROSR \cdot COSR \quad \text{Ecuación 2.14}$$

Si extrapolamos la ecuación 2.9 al modulador SDAT poniendo el número de niveles N_l en función de la ecuación 2.14, obtenemos:

$$DR \approx 4 \cdot \frac{2n+1}{\pi^{2n+2}} \cdot (ROSR \cdot COSR)^2 \cdot OSR^{2n+3} \quad \text{Ecuación 2.15}$$

Que será la ecuación teórica para el rango dinámico en función de los parámetros definidos para un modulador SDAT con $NTF(z) = (1 - z^{-1})^n$.

Si comparamos los rangos dinámicos obtenidos con un modulador SDTC convencional (Ecuación 2.9) y con un SDAT (Ecuación 2.15), se puede ver que si se aumenta la OSR en ambos casos, este aumento repercute mucho más en el rango dinámico del SDAT. Esto es así porque un SDAT depende de la OSR con el factor OSR^{2n+3} , mientras que un SDTC depende con un factor OSR^{2n+1} . Como se muestra en la ecuación 2.16, en unidades logarítmicas este incremento se traduce en un factor de dos independientemente del orden del modulador:

$$\left. \begin{array}{l} SDTC \Rightarrow (2n+1) \cdot \log_{10}(OSR) \\ SDAT \Rightarrow (2n+3) \cdot \log_{10}(OSR) \end{array} \right\} \quad \text{Ecuación 2.16}$$

3. Metodología de diseño de un modulador SDAT

En este capítulo se presentará una metodología para el diseño de moduladores SDAT, estos moduladores como ya se ha descrito en el capítulo 2 están basados en la sustitución del cuantificador uniforme por un cuantificador con codificación temporal (TEQ), que está implementado con un segundo lazo de realimentación.

Un punto fundamental no sólo a la hora de diseñar SDAT, si no en el diseño de cualquier tipo de modulador Sigma-Delta es el análisis de la estabilidad del sistema. Es muy importante en el momento del diseño no trabajar muy cerca de los límites de estabilidad del sistema, ya que a la larga estos moduladores serán implementados en circuitos físicos con elementos reales, los cuales pueden presentar variaciones en sus prestaciones esperadas y una variación de estas podría provocar que el sistema pasara de ser estable a inestable. Por lo tanto se suelen definir unos márgenes de estabilidad del sistema para así asegurar la robustez del mismo aunque cambien algunas prestaciones.

La esencia de la metodología de diseño presentada en este capítulo será obtener un modulador SDAT que cumpla con unas especificaciones de diseño dadas a partir de un modelo lineal del SDAT completo y que se base para buscar la solución óptima, en la evaluación de una serie de figuras de mérito fijadas para este diseño. Una vez fijada la solución será necesario comprobar mediante simulación si el sistema funciona tal y como se espera.

Inicialmente se tratará de presentar cual es el objetivo de esta metodología de diseño. Posteriormente se pasará a explicar cuáles son los requisitos que se deben cumplir para llevar a cabo esta metodología de diseño. Y finalmente se explicará en qué consisten las fases de diseño.

3.1 Objetivo

Como ya se comentó en el capítulo 2 los moduladores SDAT surgen como necesidad de sustituir los moduladores SDTC con cuantificadores uniformes multibit, ya que estos últimos presentan limitaciones a la hora de implementarlos en tecnologías CMOS nanométricas. Estos moduladores SDAT tienen que proporcionar finalmente una señal de salida multibit $y[n]$ similar a la que darían los moduladores convencionales. Para ello se sustituye el cuantificador y DAC multibit por un cuantificador con codificación temporal denominado TEQ y que consta de un lazo de realimentación como se muestra en la siguiente figura:

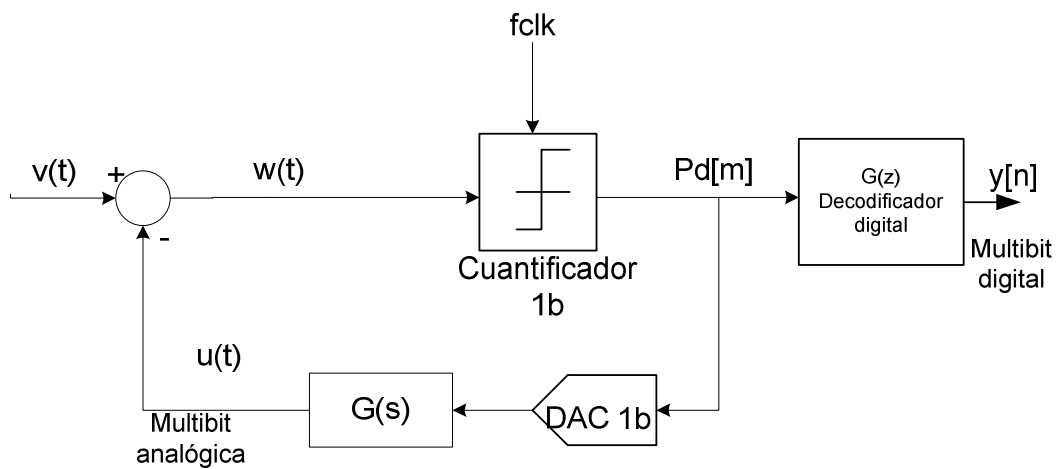


Figura 3.1 Diagrama de bloques del TEQ con el decodificador digital

Hasta ahora los trabajos publicados en los que se diseñaban moduladores SDAT como [5],[8], utilizaban una metodología de diseño en la que partían de un modulador Sigma-Delta en tiempo continuo con cuantificador multibit de referencia y a partir de él diseñaban el SDAT sustituyendo el cuantificador multibit por un TEQ. En este tipo de métodos lo que se hace es dejar el filtro de lazo igual que el modulador de referencia y a partir de los parámetros de diseño del modulador de partida como pueden ser Rango dinámico, OSR, número de niveles del cuantificador, Ancho de Banda, etc, se obtienen los parámetros necesarios para diseñar el TEQ como pueden ser ROSR, COSR, K_g , etc. Una vez que ya se tienen fijados los parámetros de diseño del TEQ, el último paso es sustituir en el modulador de partida el cuantificador y DAC multibit por el TEQ diseñado.

La metodología de diseño que se plantea en este proyecto pretende realizar el diseño del modulador SDAT partiendo de cero, es decir, se busca que el diseño del modulador se haga de una vez sin comenzar a partir de un modulador convencional ya

diseñado. Para ello se partirá de unas especificaciones de funcionamiento que se quieren alcanzar para obtener los parámetros de diseño del modulador SDAT.

Una vez definido completamente el modulador SDAT a través de sus parámetros de diseño, se realizará el diseño íntegro del modulador, definiendo tanto el filtro $H_{sd}(s)$ que realiza el conformado espectral, como el TEQ. Posteriormente se evaluarán una serie de figuras de mérito para comprobar la validez del diseño.

Cabe destacar que el diseño íntegro del modulador SDAT se realizará en tiempo continuo.

Con esta metodología de diseño lo que se pretende es ser capaz de diseñar un modulador SDAT de forma directa, sin tener que utilizar ningún modulador Sigma-Delta anteriormente diseñado, y por lo tanto conseguir una metodología de diseño más eficiente que las utilizadas anteriormente.

3.2 Requisitos que debe de cumplir la metodología de diseño

Como ya se ha comentado en el apartado 3.1 la metodología de diseño que se quiere presentar en este capítulo pretende realizar todo el diseño del modulador SDAT en conjunto, esto conlleva que se tengan que cumplir unos requisitos en el sistema. Además de estos requisitos, existen otros que se deben cumplir por el hecho de estar diseñando un modulador Sigma-Delta.

En los siguientes apartados comentaremos cuales son las condiciones que se deben cumplir la metodología de diseño para conseguir moduladores SDAT que funcionen correctamente.

3.2.1 Independencia de los bucles del modulador SDAT

La topología de un modulador SDAT ya se vio en el capítulo 2, y es la que se muestra en la figura 3.2.

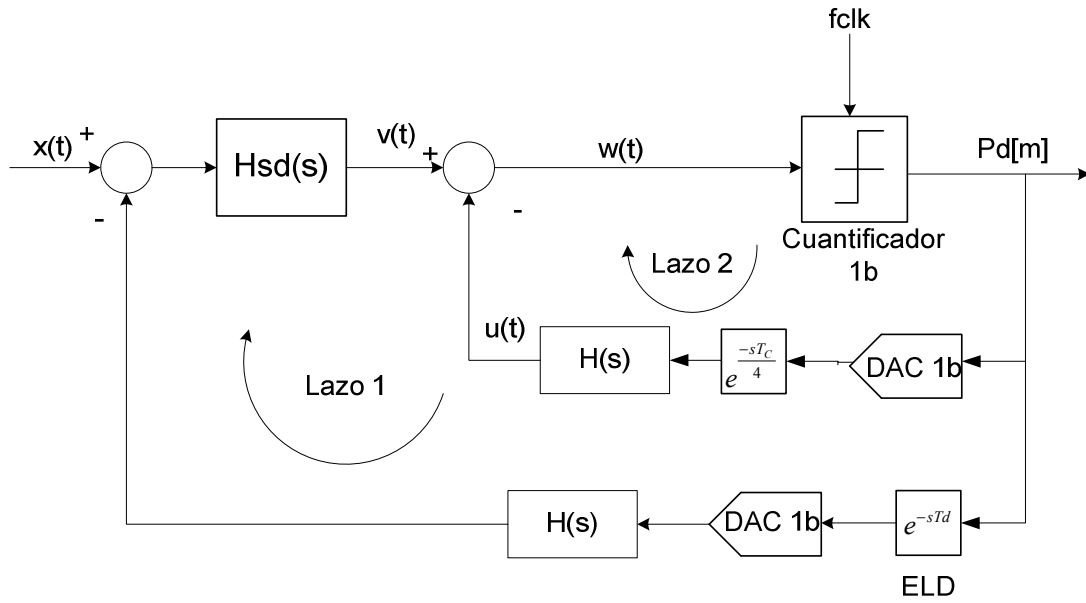


Figura 3.2 Diagrama de bloques de un modulador SDAT

A grandes rasgos el SDAT consta de dos lazos. El lazo 1 en la figura 3.2 se encarga de realizar el conformado espectral del ruido de cuantificación y consta del filtro $H_{sd}(s)$ que habrá que diseñar. El lazo 2 en la figura 3.2 es lo que se conoce como TEQ y se encarga de realizar la codificación temporal generando una oscilación a frecuencia f_c .

A la hora de desarrollar esta metodología de diseño basada en diseñar el modulador SDAT de forma completa lo que se busca es que los dos lazos sean independientes, o al menos que si dependen uno del otro esta dependencia sea lo más débil posible para poder diseñar ambos lazos de forma separada, ya que el diseño sería bastante más complejo si ambos lazos dependieran uno del otro fuertemente.

Para intentar demostrar cómo se comportan ambos lazos utilizaremos un modelo lineal que aproxime el comportamiento del modulador SDAT de la figura 3.2. Este modelo lineal se muestra en la figura 3.3.

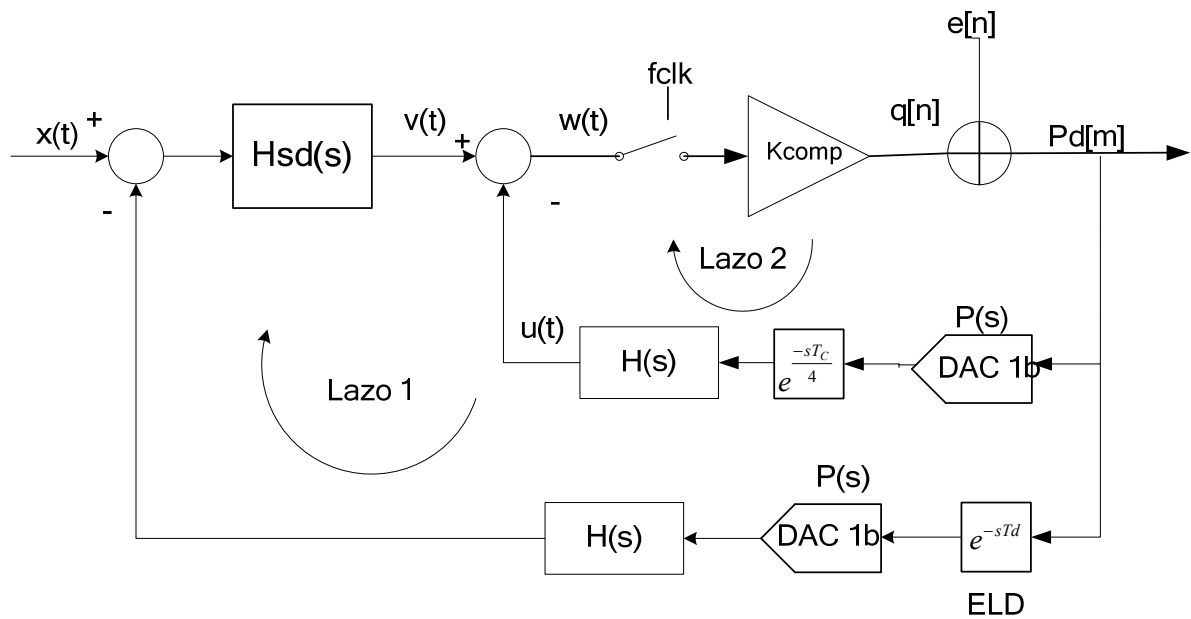


Figura 3.3 *Modelo lineal del modulador SDAT*

En este modelo se ha sustituido el cuantificador de 1 bit y por una ganancia k_{comp} . Esta ganancia k_{comp} deberá ser ajustada al valor adecuado para conseguir que el segundo lazo oscile a la frecuencia del ciclo limite f_c .

A partir del modelo lineal representado en la figura 3.3 podemos definir dos funciones de transferencia distintas: una para el lazo 1 llamada $H_1(s)$ y otra para el lazo 2 denominada $H_2(s)$. Las funciones de transferencia obtenidas para cada lazo tendrán la siguiente expresión en función de los elementos de la figura 3.3:

$$H_1(s) = k_{comp} \cdot H_{sd}(s) \cdot H(s) \cdot P(s) \cdot e^{-sTd} \quad \text{Ecuación 3.1}$$

$$H_2(s) = k_{comp} \cdot H(s) \cdot P(s) \cdot e^{\frac{-sT_c}{4}} \quad \text{Ecuación 3.2}$$

Donde $P(s)$ es el conformador de pulsos, que para un DAC tipo NRZ tiene la siguiente función de transferencia:

$$P(s) = \frac{1 - e^{-sT_{clk}}}{sT_{clk}} \quad \text{Ecuación 3.3}$$

Como ya se ha visto anteriormente, el lazo 1 del modulador SDAT realiza la misma función que el lazo del modulador Sigma-Delta convencional que es la de

realizar el conformado espectral del ruido de cuantificación, por lo tanto la función de transferencia $H_1(s)$ deberá ser de tipo paso bajo, de manera que en frecuencias desde 0-BW debe tomar valores lo más altos posible y en frecuencias mayores al ancho de Banda debe comenzar a decaer su amplitud, así se conseguirá llevar el ruido de cuantificación a bandas de frecuencia fuera del BW. En la siguiente figura podemos ver un esquema de lo que sería su comportamiento ideal en módulo:

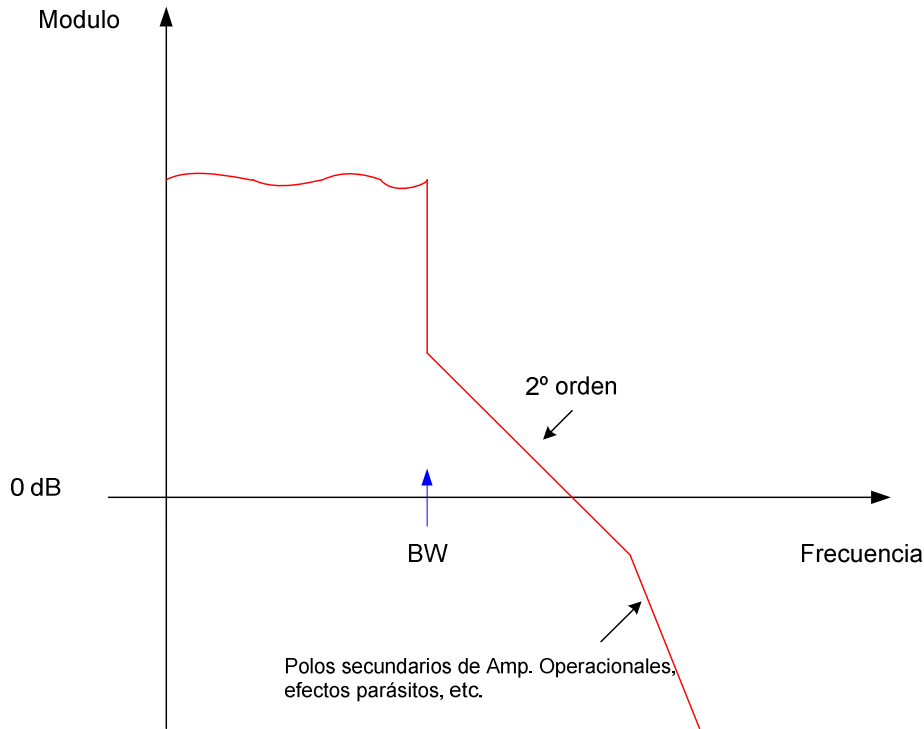


Figura 3.4 Esquema del diagrama de Bode en módulo de la función de transferencia $H_1(s)$

Como se puede ver en la figura 3.4, se tienen tres zonas bien diferenciadas. Una de ellas es la banda de paso a frecuencias bajas (0-BW). Otra es la zona en la que se tiene una pendiente de 2º orden, debido a que el filtro $H_{sd}(s)$ es causal y tiene un cero menos que el número de polos, y además tiene un polo más debido al filtro $H(s)$. Y por último, la zona con más pendiente que es debida a los polos secundarios de los Amplificadores Operacionales y a otros efectos parásitos.

En cuanto al lazo2, como ya se ha dicho debe controlar la oscilación en torno a la frecuencia f_c del ciclo límite. Si nos fijamos en la ecuación 3.2, vemos que $H_2(s)$ está formado por el filtro $H(s)$, que según lo concluido en el capítulo 2 es un filtro paso bajo de primer orden, y por k_{comp} . De manera que el comportamiento esperado de $H_2(s)$ en módulo será el mostramos a continuación:

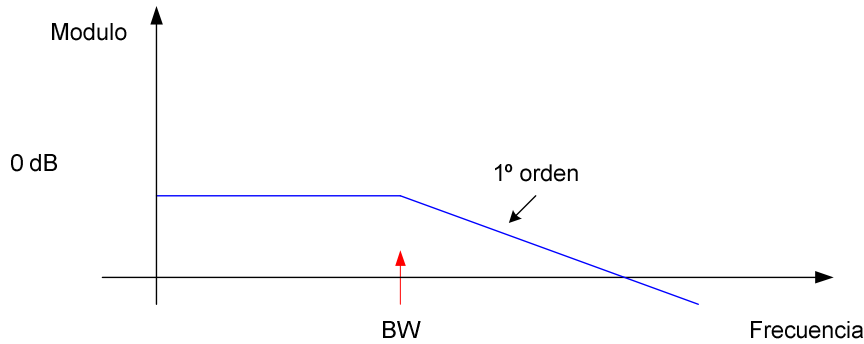


Figura 3.5 Esquema del diagrama de Bode en módulo de la función de transferencia $H_2(s)$

Como hemos visto el comportamiento del modulador SDAT en frecuencia tiene que ser tal que a bajas frecuencias (0-BW) se comporte como un sistema con una ganancia alta para así eliminar lo máximo posible el ruido de cuantificación en la banda de interés, mientras que a frecuencias altas (mayores que BW) se debe conseguir definir el ciclo límite a frecuencias f_c .

Por lo tanto si se define una función de transferencia denominada $H_T(s)$ que modele el comportamiento del modulador en frecuencia, su comportamiento tiene que ser tal que a bajas frecuencias predomine el comportamiento del lazo 1 y a altas frecuencias predomine el del lazo 2. Se define $H_T(s)$ de la siguiente manera:

$$H_T(s) = H_1(s) + H_2(s) \quad \text{Ecuación 3.4}$$

Por lo tanto ambos lazos serán independientes si la función de transferencia total del sistema $H_T(s)$ se comporta a bajas frecuencias como $H_1(s)$ y a altas frecuencias como $H_2(s)$. Podemos ver en la siguiente figura cual es el comportamiento ideal esperado:

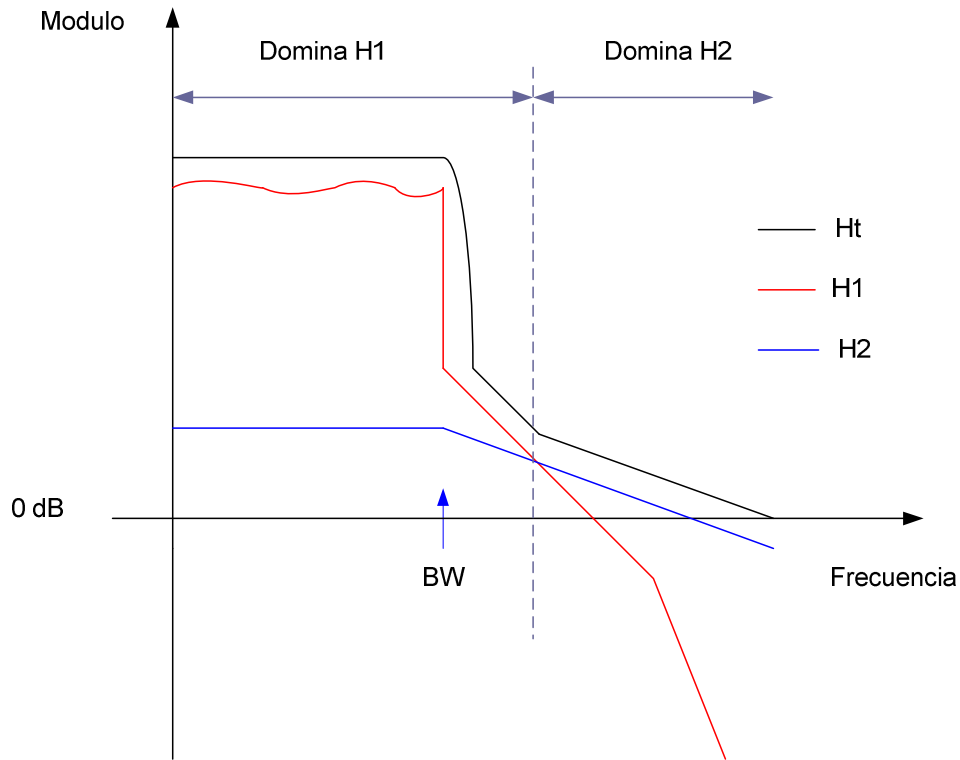


Figura 3.6 Esquema del diagrama de Bode de la función de transferencia $H_T(s)$

A partir de H_T podremos ser capaces de ver si el sistema diseñado presenta una mayor o menor independencia en los dos lazos, para ello definiremos unas figuras de mérito sobre H_T , de manera que podamos evaluar esa independencia de manera cuantitativa.

A la hora de diseñar el sistema lo que se debe buscar siempre es que esta diferencia de comportamiento a altas y bajas frecuencias sea lo más acusada posible, porque cuanto mayor sea esta diferencia más independientes serán los dos lazos entre sí.

A modo de ejemplo, en la figura 3.7 se muestra el diagrama de Bode en módulo y fase de las tres funciones de transferencia definidas anteriormente ($H_1(s)$, $H_2(s)$ y $H_T(s)$), para un modulador SDAT ya diseñado. De esta manera podremos ver su comportamiento de manera más adecuada.

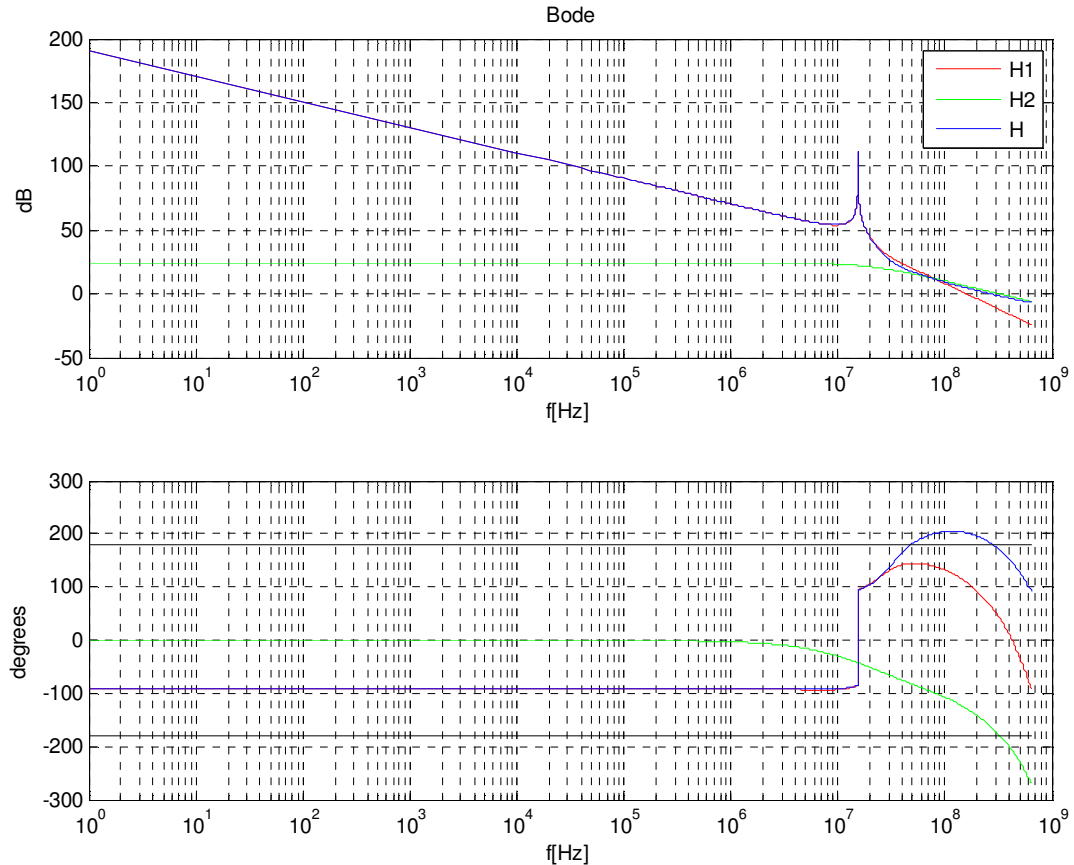


Figura 3.7 Ejemplo del diagrama de Bode de las funciones de transferencia para un diseño real

3.2.2 Estabilidad del sistema completo

Todo modulador Sigma-Delta que se diseñe, no sólo los SDAT, tiene que garantizar la estabilidad del sistema, ya que si el modulador no es estable entonces el sistema deja de funcionar y no se conseguirá codificación de la señal de entrada que es lo que se busca.

En los moduladores SDAT hay dos factores que pueden afectar a la estabilidad:

- uno de ellos será el filtro de lazo $H_{sd}(s)$ del lazo 1
- y el otro será que el ciclo límite del lazo 2 sea controlable.

Para conseguir cumplir el primer factor habrá que diseñar $H_{sd}(s)$ de manera que se consiga que el sistema sea estable. Pero además se deberá intentar garantizar que el modulador sea lo más robusto posible frente a posibles variaciones que puedan surgir en el sistema. Para ello se definirá una figura de mérito que le servirá a la metodología de diseño para evaluar la estabilidad del sistema. Esta figura de mérito

será el margen de fase del conjunto $H_{sd}(s) \cdot e^{-sT_d}$, es decir filtro de lazo $H_{sd}(s)$ junto con todos los retardos que se consideren a la hora de diseñar el sistema, de manera que cuanto mayor sea este margen de fase más robusto sea el sistema.

En lo que se refiere al segundo factor, sólo afecta a los moduladores SDAT, y en este caso el tema de la estabilidad es aún más crítico ya que como vimos en el capítulo 2, estos moduladores están diseñados de tal manera que la potencia de ruido de cuantificación no sea maximalmente plana, si no que se diseñan para que la mayoría de la potencia de ruido de cuantificación se almacene en torno a un ciclo límite de frecuencia f_c , consiguiendo así llevarse la mayor parte de la potencia de ruido de la banda de interés, consiguiendo así mejorar la SNR notablemente.

Por lo tanto es necesario tener especial cuidado en controlar donde está este ciclo límite, ya que si se metiera dentro del ancho de banda del circuito el funcionamiento del modulador se estropearía por completo. Luego, es de suma importancia para el diseño de los moduladores SDAT conseguir que el ciclo límite no se desvíe excesivamente de la frecuencia inicial de diseño.

Como ya se ha visto antes, la frecuencia de oscilación del ciclo límite es fijada por el lazo 2. Por lo tanto a partir del modelo lineal de la figura 3.3 y observando la ecuación 3.2 se ve que el parámetro que ajusta la frecuencia del ciclo límite al valor de f_c es la ganancia del comparador k_{comp} , como ya se sabía. Sin embargo, puede ocurrir que aunque la k_{comp} esté ajustada al valor correspondiente la frecuencia del ciclo límite se mueva provocando un mal funcionamiento del sistema. Esto puede ser debido a que el lazo 1 se esté metiendo en el lazo 2.

Considerando los dos aspectos anteriores, se tienen dos motivos principales que pueden llevar a un desajuste del ciclo límite:

- a) Dependencia fuerte del lazo1 y lazo2 del modulador
- b) Mal ajuste por parte del lazo 2

El motivo a) ha sido discutido en el apartado anterior (3.2.1) y se ha llegado a la conclusión de que la metodología de diseño utilizada es capaz de conseguir que ambos lazos sean independientes uno del otro. Y el motivo b) puede ser solucionado ajustando la k_{comp} al valor adecuado. De esta manera se ve que con esta metodología es posible controlar el ciclo límite para que oscile a la frecuencia esperada.

Por lo tanto se puede concluir que con esta metodología de diseño se puede garantizar que el sistema completo sea estable, siempre y cuando el diseño esté bien realizado.

3.2.3 Resolución frente a consumo de potencia

Otra de las premisas sobre las que debe trabajar esta metodología de diseño es la de conseguir, además de lo especificado anteriormente, que el modulador proporcione para las opciones de diseño (SNR, Ancho de banda,...) el menor consumo de potencia posible.

A través del estudio de las publicaciones que existen sobre los diferentes moduladores SDTC y SDAT [3],[4], se ha podido comprobar que los elementos que más consumo de potencia tienen son los amplificadores operacionales, siendo el primero de ellos el que más consume de todos. La lógica digital consume menos potencia que la analógica sin embargo también se ha comprobado que cuanto menor sea el reloj f_{clk} de muestreo del TEQ también disminuye el consumo de potencia, además cuanto menor sea f_{clk} menor será el ancho de banda de los operacionales y por lo tanto también menor será el consumo de potencia.

Por lo tanto parece lógico que para tener el menor consumo posible se elijan moduladores con un orden y una f_{clk} lo más bajo posible, siempre y cuando cumplan con las opciones de diseño iniciales.

Como veremos más adelante cuando se explique cada una de las fases de diseño. Dadas unas opciones de diseño iniciales que se tienen que cumplir, esta metodología selecciona unos parámetros para comenzar a diseñar el modulador como son: OSR, ROSR, orden, f_{clk} ,... . De manera que se minimice al máximo el consumo de potencia, es decir, seleccionará aquellos moduladores que menor orden y menor f_{clk} tengan de entre todos los que cumplan esas opciones de diseño iniciales.

3.3 Fases de la Metodología de diseño

Una vez que se han presentado los objetivos y las condiciones que debe cumplir la metodología de diseño desarrollada en este proyecto, el siguiente paso será explicar las fases de que consta la metodología.

La metodología propuesta consta de 4 fases claramente definidas, es probable que para llegar a una solución óptima de diseño tenga que realizarse un proceso iterativo de las mismas.

Como punto de partida de esta metodología cabe destacar que se suponen conocidas algunas especificaciones que el sistema debe cumplir. Estas especificaciones son las siguientes:

- SNR: Debe fijarse inicialmente la SNR máxima ó Rango dinámico que se quiere alcanzar con el modulador que se va a diseñar.
- BW: Se fijará el ancho de banda analógico que va a tener el sistema en función de la aplicación para la que se vaya a usar el modulador.
- f_{clk} : Esta especificación establecerá cual es el máximo reloj de muestreo del TEQ que puede tener el sistema. Este parámetro, a diferencia de los dos anteriores en los que el valor establecido era un valor fijo, será un límite superior pudiéndose elegir un reloj menor si es que cumple las especificaciones, pero nunca se podrá elegir un valor mayor que el fijado por este parámetro.

La primera fase de diseño será la fase en la que se seleccionen los parámetros de diseño del modulador como son OSR, ROSR, orden del modulador y f_{clk} , que garanticen la SNR especificada y además sean óptimos en consumo de potencia. También se podrán seleccionar otros parámetros como elegir o no Dispersión de los ceros de la NTF (Resonancia), el valor de retardo utilizado, o utilizar cero de compensación o no.

La segunda fase de diseño se centrará en el cálculo del filtro de lazo $H_{sd}(s)$ del modulador a partir de los parámetros obtenidos en la primera fase. En esta fase se trabajará sobre el modelo lineal del modulador SDAT de la figura 3.3, por lo tanto otro parámetro que se fijará en esta fase será la ganancia del comparador k_{comp} , ya que los demás elementos del lazo 2 estarán definidos a partir de los parámetros obtenidos en la primera fase de diseño.

En la tercera fase se realizará la optimización del filtro. Además se definirán cuatro figuras de mérito que ya se explicarán más adelante, que servirán para evaluar la bondad del sistema diseñado. Esta optimización se realizará manualmente y se podrán variar únicamente los ceros y la Ganancia del filtro de lazo diseñado, para intentar mejorar el diseño en caso de que fuera necesario.

La cuarta fase será la fase de simulación del sistema diseñado y servirá para verificar si el resultado es el esperado o no.

Lo más novedoso de esta metodología es el diseño del modulador SDAT como un todo, es decir se parte de cero para desarrollar todo el diseño. Hasta ahora la mayoría de diseños de SDAT lo que hacían era partir de un modulador Sigma-Delta en tiempo continuo y sustituir el cuantificador y DAC multibit por un TEQ.

A continuación se irá explicando cada una de las fases de que consta esta metodología de diseño.

3.3.1 Primera Fase: Selección de parámetros de diseño

En esta fase de diseño lo que se pretende es obtener los parámetros de diseño del modulador para alcanzar las especificaciones que se tienen. En esta fase inicial del diseño todavía no se tiene ningún parámetro de diseño fijado y por lo tanto cualquier cálculo que se haga deberá realizarse sobre modelos teóricos.

De las tres especificaciones que se dan: SNR, Ancho de banda, f_{clk} . La única que aporta información de cómo debe ser el funcionamiento del sistema es la SNR. Existen gran multitud de técnicas para estimar el Rango dinámico (SNR máxima) de un modulador SDTC. Por lo tanto en este caso será necesario desarrollar una técnica de estimación del Rango dinámico para moduladores SDAT, en función de los parámetros de diseño de éstos, como son: OSR, orden del modulador, ROSR.

Una vez obtenidos estos parámetros de diseño para un Rango dinámico dado, si implementamos un modulador con estos parámetros en la práctica será muy difícil alcanzar el valor estimado, ya que se trata de un límite teórico muy difícil de alcanzar.

Además de los parámetros de diseño propiamente dichos, también se tomarán algunas decisiones sobre la NTF del sistema, ya que la forma en la que se diseñe la NTF repercutirá directamente en el Rango dinámico que se puede alcanzar. La NTF debe ser tal que elimine lo máximo posible el ruido en bajas frecuencias. Existen muchas formas de colocar los ceros de la NTF, todos en frecuencia cero o distribuidos a lo largo del ancho de banda. La distribución de los ceros de la NTF se puede realizar de muchas formas, existen algoritmos ya diseñados que la realizan eficientemente, aunque también se pueden implementar algoritmos propios para hacerlo.

Como ya se ha visto, la NTF se define a partir del filtro de lazo del modulador. Por lo tanto una vez que se tengan posicionados los ceros de la NTF automáticamente se tendrán ubicados los polos del filtro de lazo.

El ELD (Excess Loop Delay) es un efecto que se produce en los moduladores Sigma-Delta en tiempo continuo debido a una falta de sincronización entre el instante de muestreo y el instante en el que se actualiza la salida del DAC y a la metaestabilidad de los comparadores, ya que en los sistemas reales los elementos no responden simultáneamente. Por lo tanto el ELD es un retardo que se produce en la rama de realimentación. Como consecuencia el ELD será un efecto que se tendrá también en

los moduladores SDAT, ya que son también en tiempo continuo. Este retardo habrá que tenerlo en cuenta a la hora de modelar el sistema.

Además de este retardo, pueden aparecer otros retardos como el retardo estadístico que aparece en el TEQ que se comentó en el capítulo 2 y otros retardos asociados a los anchos de banda finitos de los amplificadores operacionales y elementos parásitos. Por lo tanto de aquí en adelante se considerará como retardo ELD la suma de los efectos de todos los retardos que se tengan en el sistema.

El reloj que se use en el diseño afectará a la cantidad de ELD que haya que fijar en esta fase.

El ELD puede provocar variaciones e inestabilidades en el sistema y puede ser bastante recomendable según para que casos realizar una compensación del ELD. Existen principalmente dos técnicas para realizar esta compensación. Una es la compensación polo-cero descrita en [4], y otra es la compensación añadiendo un cero a altas frecuencias descrita en [10].

3.3.2 Segunda fase: Cálculo del filtro de lazo

En esta fase de diseño lo que se pretende es calcular el filtro de lazo del modulador $H_{sd}(s)$. El cálculo del filtro se realizará sobre el modelo lineal del SDAT que se muestra en la figura 3.3.

Lo que se pretende en esta fase de diseño es modelar el filtro a partir de la información que se tiene sobre el sistema de manera que se consiga un sistema estable. Además este filtro tiene ser un filtro paso bajo para realizar el conformado de ruido de manera satisfactoria.

El cálculo de la ganancia del filtro es un hecho clave, ya que una ganancia demasiado alta podrá provocar que el sistema se sature y por lo tanto que el filtro sea inestable, mientras que una ganancia demasiado baja puede provocar que el modulador no cumpla las especificaciones de Rango dinámico que se quieren obtener. Por lo tanto habrá que tener especial cuidado en el cálculo de esta ganancia, ya que es pieza clave en el diseño del filtro.

Para el cálculo de la ganancia se pueden seguir multitud de técnicas que van desde la estimación teórica del límite superior que satisface la estabilidad del sistema, a técnicas manuales de prueba y error.

Los polos del filtro serán fijados por los ceros de la NTF en la primera fase de diseño.

Los ceros del filtro tienen que ser fijados de manera que se consiga que el modelo lineal descrito en la figura 3.3 sea un sistema estable y además que el conformado de ruido sea óptimo. Por lo tanto los ceros tienen que ser posicionados de manera que cumplan estos dos criterios:

- *Criterio de estabilidad negativo:* El filtro junto con todos los retardos considerados debe cumplir que cuando el módulo es 1, la fase sea mayor que -180° :

$$\left| H_{sd}(j\omega_1)e^{-sT_d} \right| = 1 \Rightarrow \angle H_{sd}(j\omega_1) \cdot e^{-sT_d} > -180^\circ \quad \text{Ecuación 3.5}$$

- *Conformado del ruido sea óptimo:* la NTF del filtro tiene que ser capaz de llevarse el ruido a altas frecuencias y eliminarlo lo máximo posible en las frecuencias bajas. Sin embargo existe un límite por encima del cual el sistema se vuelve inestable. En general, la norma de la NTF no debe superar un cierto umbral que se obtiene de forma experimental o por simulación para un conjunto determinado de parámetros del modulador Sigma-Delta:

$$\left| NTF(e^{j\omega}) \right|_{\infty} \leq \text{umbral experimental} \quad \text{Ecuación 3.6}$$

El problema que se plantea a la hora de colocar los ceros del filtro de lazo es que existe una infinidad de maneras de ubicarlos cumpliendo los dos criterios anteriormente definidos.

Otro aspecto a tener en cuenta en esta fase de diseño es que como estamos trabajando con el modelo lineal, será necesario definir la ganancia del cuantificador de 1 bit (k_{comp}), de manera que el sistema siga siendo estable.

3.3.3 Tercera fase: Optimización del filtro

En esta tercera fase lo que se pretende es evaluar el filtro calculado en la segunda fase y posteriormente optimizarlo si es necesario.

En la fase de evaluación se fijarán una serie de figuras de mérito las cuales sean indicadoras de la calidad del diseño realizado. Se pretenderá evaluar dos aspectos fundamentales para esta Metodología de diseño. Uno será el análisis de la estabilidad del modulador y el otro será la viabilidad de utilizar esta metodología de diseño en el modulador diseñado gracias a la independencia de ambos lazos.

En el caso de la estabilidad del modulador, lo que se busca es crear una herramienta de evaluación que de información sobre como es la estabilidad del diseño y además como de robusto será el diseño ante variaciones que se puedan producir en los componentes del mismo.

En cuanto al otro aspecto a analizar, lo que se intentará es definir unas figuras de mérito que evalúen como es el comportamiento total del modulador SDAT diseñado. En este caso lo que se evaluará principalmente será la capacidad que tienen ambos lazos del modulador SDAT de interactuar sin interferir uno en el otro. Este es un hecho clave para que la Metodología de diseño definida en este proyecto pueda ser aplicada. Además utilizando estas figuras de mérito también se podrá ver si el sistema es estable.

Una vez que ya se haya evaluado la calidad del diseño realizado mediante las figuras de mérito, se podrá tomar la decisión de si el filtro calculado es óptimo o no. En caso de que el diseño realizado no sea óptimo habrá que actuar sobre el filtro para intentar corregirlo.

Dado que los polos del filtro son fijos, ya que se seleccionan en la primera fase del diseño, la única manera que se tiene de actuar sobre el filtro es modificando sus ceros o su ganancia.

Como ya se indicó en la segunda fase de diseño el posicionado de ceros es un problema muy complejo ya que existen infinitas maneras de colocar los ceros. Una posible forma de mover los ceros de manera sencilla, sería conseguir que la posición de los ceros estuviera regida por una misma función de manera que la variación de ciertos parámetros diera lugar a desplazamientos en la misma proporción de todos los ceros.

3.3.4 Cuarta fase: Simulación

La cuarta y última fase del diseño es la simulación del modulador implementado para así evaluar cual es funcionamiento del sistema.

Existirán dos tipos de simulaciones, unas irán encaminadas a ver si el modulador cumple con las especificaciones de diseño, principalmente si el modulador obtiene la SNR máxima fijada (resolución). Mientras que el otro grupo de simulaciones, que se desarrollarán una vez que el modulador funcione correctamente, irán encaminadas a ver la tolerancia del modulador ante variaciones del sistema como pueden ser principalmente cual es el límite de ELD que puede soportar el diseño.

3.4 Algoritmo seguido por la Metodología de diseño

En los apartados anteriores se ha descrito como es la metodología de diseño y cuáles son las fases de las que consta. Ahora se verá cómo hay que ir aplicando cada una de las fases de diseño para obtener un diseño óptimo, es decir, se describirá cuál es el algoritmo que hay que seguir para utilizar esta metodología de diseño.

Para realizar un diseño óptimo del modulador SDAT será necesario seguir el siguiente algoritmo:

1. Primera fase (Seleccionar parámetros de diseño)
2. Segunda fase (Calculo del filtro)
3. Tercera fase (Optimización del filtro)
4. Cuarta fase (Simulación)

La fase 1 se realizará una única vez y será al empezar el algoritmo, una vez seleccionados los parámetros de diseño, se va a la fase 2. Cuando ya ha sido calculado el filtro se va a la fase 3 y se comprueban las figuras de mérito, si el filtro es óptimo, se pasa a la fase 4, si no es óptimo se optimiza el filtro y de nuevo se vuelve a calcular. Si al simular el filtro no funciona como se esperaba se va a la fase 3 y se vuelve a calcular el filtro. En caso de que las figuras de mérito obtenidas sean demasiado buenas eso querrá decir que el filtro puede dar aún un mayor rango dinámico que el que está especificado, por lo tanto en este punto se podrá volver a ir a la fase 1 para comenzar de nuevo el algoritmo, pero esta vez aumentando el rango dinámico especificado.

El diagrama de flujo del algoritmo llevado a cabo por la metodología es el que se muestra en la figura 3.8

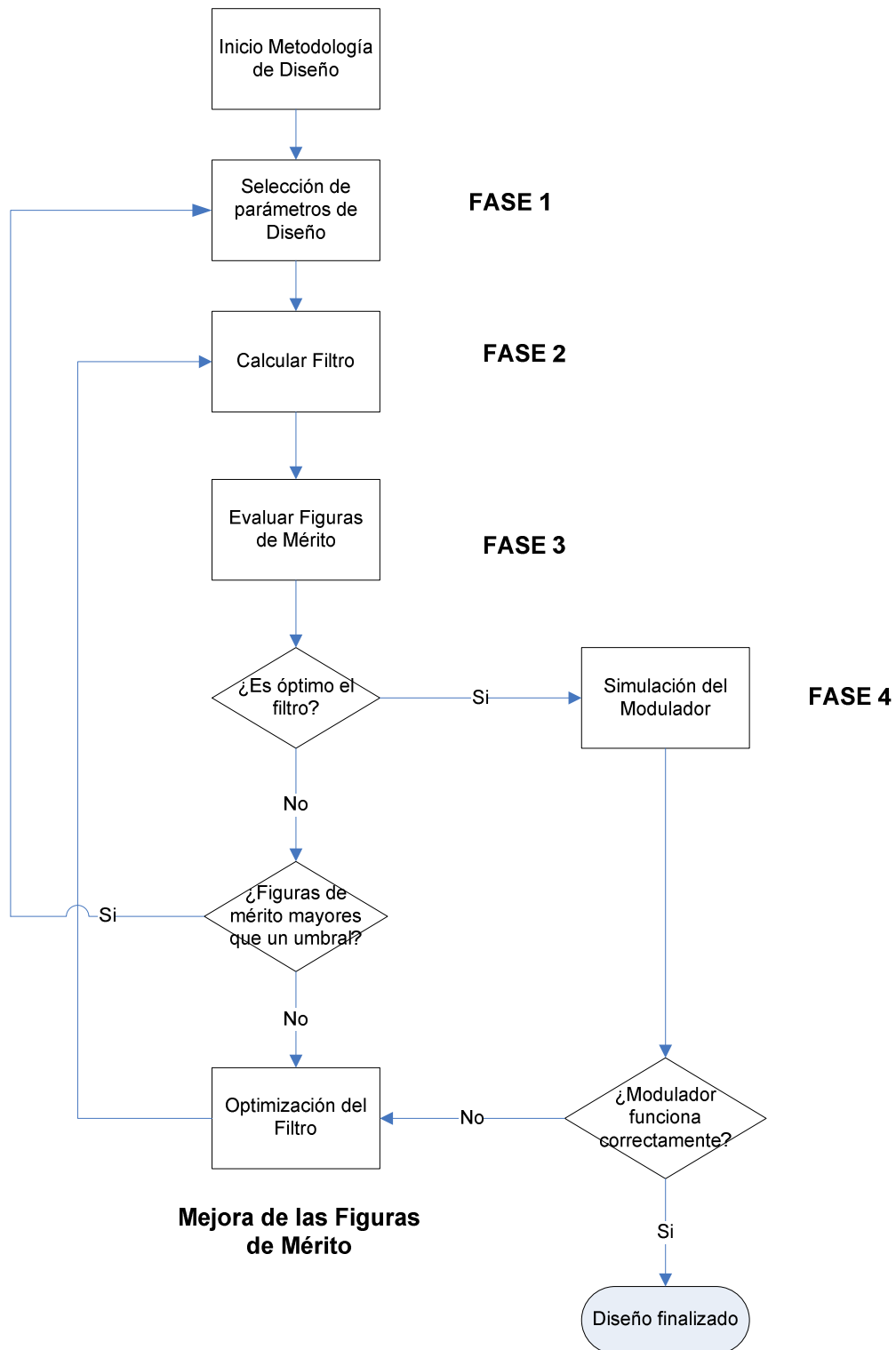


Figura 3.8 Diagrama de flujo del Algoritmo de aplicación de la Metodología de diseño

4. Implementación de la Metodología de diseño en Matlab/Simulink

Una vez que se han explicado las diferentes partes de que consta la metodología de diseño, el siguiente paso será crear una herramienta software que implemente la metodología de diseño. Con esta herramienta lo que se pretende es automatizar el diseño de un modulador SDAT para así facilitar el diseño utilizando la metodología explicada en el capítulo 3.

Para que el uso de la herramienta sea lo más rápido y sencillo posible, se ha desarrollado en una interfaz gráfica. La herramienta se ha programado en MATLAB. Y para y para desarrollar la interfaz gráfica se ha utilizado la herramienta GUIDE.

GUIDE es una herramienta que posee MATLAB y que sirve para crear interfaces gráficas de forma sencilla. Esta interfaz gráfica se controla mediante un fichero .m que es el que se encarga de ir definiendo toda la funcionalidad de la interfaz.

En este capítulo se describirá como se ha implementado en la herramienta la Metodología de diseño presentada en el capítulo 3. Se especificarán cuáles son las pautas de diseño que se han utilizado para llevar a cabo cada una de las fases de diseño de la Metodología planteada. Es decir, en este capítulo se explicará la Metodología de diseño pero desde un nivel más bajo de abstracción que en el capítulo 3, y además se verá como se ha integrado cada fase de diseño en la herramienta software creada.

En resumidas cuentas la herramienta software se encargará de diseñar un modulador SDAT a partir de unas especificaciones de diseño, obteniendo unos parámetros del modulador. Además esta herramienta posee elementos de evaluación de los resultados como son las figuras de mérito, los diagramas de bode de las funciones de transferencia y la simulación del sistema diseñado. Además permitirá la optimización del sistema.

4.1 Algoritmos implementados en la herramienta

En este apartado veremos cómo se implementa cada fase de la Metodología de diseño en la herramienta software creada. En este apartado a diferencia que en el apartado 3.3, se describirá con detalle cada fase de diseño explicando que método o algoritmo se usa para ir calculando todos los elementos que forman el modulador final.

4.1.1 Primera Fase: Selección de parámetros de diseño

En esta fase del diseño se pueden definir dos partes claramente diferenciadas. Una será la obtención de parámetros del diseño a partir de las especificaciones dadas, y la otra será la configuración de algunos parámetros del filtro de lazo $H_{sd}(s)$ como pueden ser: la ubicación de los polos y la compensación o no del ELD seleccionado.

4.1.1.1 Algoritmo de Selección de los parámetros de diseño

A partir de las especificaciones que se conocen al inicio del diseño (SNR, Ancho de banda, f_{clk}), se desarrollará una metodología para obtener los parámetros de diseño necesarios para comenzar a diseñar el modulador (OSR, ROSR, orden) siempre con el menor consumo de potencia posible.

El método utilizado para obtener los parámetros de diseño será la estimación teórica de la SNR. Para ello se procederá a la integración de la densidad espectral de ruido de cuantificación, de un modulador SDAT, conformado espectralmente mediante la NTF del filtro.

En esta fase del diseño todavía no se ha comenzado a diseñar ningún elemento del modulador, por lo tanto el filtro de lazo $H_{sd}(s)$ no estará diseñado y debido a eso no tendremos la NTF que conforme el ruido. Sin embargo, como se trata simplemente de una estimación teórica, y sabemos que el filtro de lazo $H_{sd}(s)$, diseñado para un modulador SDTC, puede ser válido para un modulador SDAT equivalente, entonces para realizar esta estimación trabajaremos con la NTF obtenida a través del toolbox 'delsig' [11] y usaremos la ecuación 2.14 para estimar la resolución en bits del TEQ.

Esta NTF proporcionada por [11], será la NTF para un modulador Sigma-Delta definido a partir del orden del modulador, OSR, norma infinito de la NTF.

La potencia de ruido de cuantificación de un modulador SDAT se ha obtenido a partir de [5], y es el mostrado a continuación:

$$Potencia_ruido_cuantificacion_SDAT = \frac{4}{3} \cdot \left(\frac{P}{ROSR} \right)^2 \quad \text{Ecuación 4.1}$$

Donde

- P será la amplitud de salida del DAC de un bit del TEQ. En esta caso P=1 también.

Por lo tanto la potencia de ruido de cuantificación de un SDAT estimada a partir de la ecuación 4.1 y el conformado de la NTF será:

$$Pot_ruido_estimada_SDAT = \frac{4}{3} \cdot \left(\frac{1}{ROSR} \right)^2 \cdot \int_0^{BW} |NTF(e^{jw})|^2 df \quad \text{Ecuación 4.2}$$

Cabe indicar que en la estimación de la NTF a partir de [11], se puede realizar para diferentes tipos de norma infinito de la NTF. En este proyecto fin de carrera se han utilizado 3 valores para la norma infinito en función de lo conservador o no que se quiera hacer el diseño. Los valores utilizados han sido los siguientes:

- Diseño conservador: $|NTF|^\infty = 1.5$
- Diseño medio: $|NTF|^\infty = 2$
- Diseño agresivo: $|NTF|^\infty = 2.5$

Una vez estimada la potencia de ruido mediante la ecuación 4.2, la estimación de la SNR teórica que se puede tener es la siguiente:

$$SNR = \frac{P_{señal}}{P_{ruido}} \quad \text{Ecuación 4.3}$$

Visto todo lo anterior, para una SNR teórica especificada para el diseño podremos estimar la SNR que tendremos para unos parámetros (OSR, ROSR, orden del filtro, norma infinito NTF) utilizados.

De esta manera, se generarán tres bases de datos, una para la norma infinito de 1.5, otra para la norma infinito de 2 y otra para la norma infinito de 2.5. Cada base de datos tendrá las SNR estimadas para distintos valores de OSR, ROSR, y orden del filtro. De esta manera se dispondrá de tres poblaciones de valores estimados de la SNR cada uno con sus parámetros de diseño en los que se podrá realizar la búsqueda de las mejores soluciones.

Para obtener los mejores parámetros posibles simplemente habrá que realizar una búsqueda entre todas las posibles opciones que cumplan la SNR dada y para un

tipo de diseño concreto (Conservador, medio y agresivo), intentando optimizar al máximo el consumo de potencia, que como ya vimos era intentar tener el menor orden del modulador y la menor f_{clk} posible.

Cada una de las tres poblaciones utilizadas estará ordenada en una tabla de menor a mayor SNR estimada. La herramienta una vez que ya tiene seleccionada una de las tres poblaciones en las que tiene que realizar la búsqueda, realizará la búsqueda de las 5 opciones óptimas en consumo de potencia que cumplan las especificaciones de diseño. Para ello el primer paso será reducir la población de búsqueda a los individuos que cumplan que su SNR estimada sea mayor o igual que la de la especificación y que su frecuencia de reloj (f_{clk}) sea menor o igual que la especificada. De esta manera la población restante contendrá todos los casos susceptibles de ser seleccionados. En esta población restante se realizará la búsqueda de los 5 individuos que tengan menor orden y menor frecuencia de reloj posible, dando prioridad a los individuos que tengan una SNR estimada más cercana a la especificada en el diseño. Así conseguimos seleccionar los casos que sean más óptimos en consumo de potencia y que además se ajusten lo máximo posible a la SNR especificada.

Hay que señalar que cuanto más ajustadas sean las especificaciones, es decir, mayor SNR y menor f_{clk} , más pequeña será la población restante que cumpla las especificaciones, pudiéndose dar el caso de que la población restante fuera de menos de 5 individuos, seleccionando por lo tanto todos los individuos de la población.

4.1.1.2 Algoritmo de ubicación de polos de $H_{sd}(s)$

Una vez seleccionados unos parámetros de diseño del modulador el siguiente paso será fijar como va a ser la NTF del sistema. Este hecho repercutirá en el conformado del ruido del modulador y por lo tanto en la SNR que se puede conseguir. Como se sabe la NTF tiene que ser tal que a bajas frecuencias elimine lo máximo posible el ruido, por lo tanto la NTF tendrá sus ceros lo más cercanos posible a la frecuencia cero. Habrá dos opciones para colocar los ceros de la NTF:

- a) Todos en la frecuencia cero
- b) Distribuidos a lo largo del ancho de banda de interés. Para realizar la distribución de ceros, se ha utilizado de nuevo el algoritmo implementado por [11].

Si se utiliza la opción b) se obtiene un menor ruido en el ancho de banda y por lo tanto se obtendrá un mayor rango dinámico, mientras que si se usa la opción a) el ruido será mayor en la banda de interés y el rango dinámico peor.

Una vez obtenidos los ceros de la NTF, los polos de $H_{sd}(s)$ serán los ceros de la NTF.

Como ya se dijo, el ELD (Excess Loop Delay) es un efecto que se produce en los moduladores Sigma-Delta en tiempo continuo y se debe a una falta de sincronización entre el instante de muestreo y el instante en el que se actualiza la salida del DAC. Por lo tanto el ELD dependerá del sistema realizado y también de los parámetros de diseño utilizados como el reloj, es por esto que el ELD no puede ser calculado teóricamente ya que depende de la fase de reloj que se escoja para sincronizar el DAC. Debido a esto el ELD será calculado como suma de dos retrasos: el correspondiente a la diferencia de fase entre los relojes usados en el comparador y en el DAC, que será introducido en la herramienta por el usuario de la misma ya que es un criterio de diseño del circuito y que denominaremos T_{d1} , y un retardo estimado de medio ciclo del periodo equivalente de muestreo del modulador Sigma-Delta que corresponde a un margen de seguridad para el retardo estadístico que produce la modulación de fase y frecuencia del TEQ y para otros retardos que pueden producirse en el circuito real como consecuencia de la limitación en ancho de banda de los diferentes elementos activos y que se llamará T_{d2} . El retardo completo ELD será introducido directamente en el modelo lineal para realizar el diseño del filtro. Este retardo completo se denominará T_d y será la suma de los dos anteriores.

El ELD se modela como un retardo en la rama de realimentación correspondiente al lazo 1, tal y como se muestra en la siguiente figura:

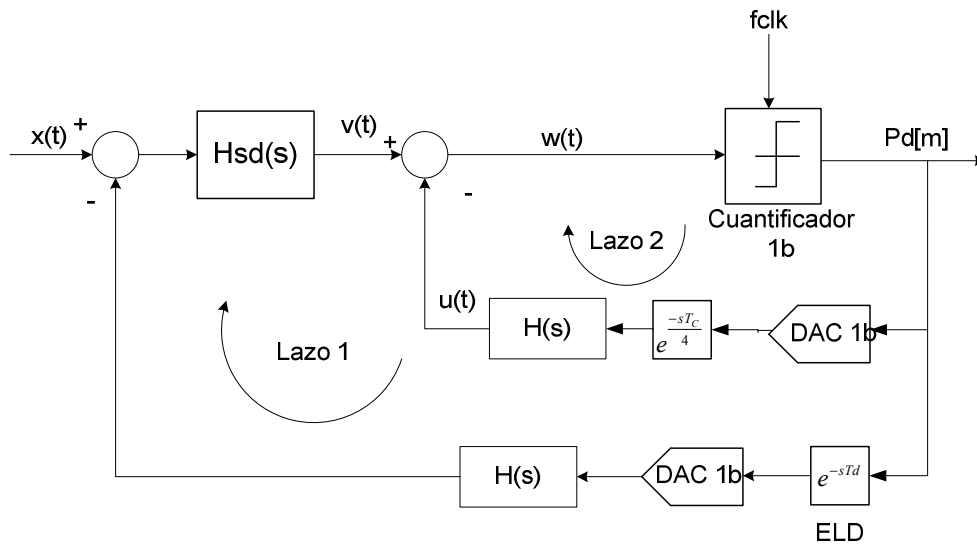


Figura 4.1 Diagrama de bloques del modulador SDAT

El ELD se suele expresar como :

$$ELD = e^{-sT_d}$$

Ecuación 4.4

Donde como ya se ha dicho anteriormente, T_d será el tiempo estimado de retardo total que se tenga en el sistema ($T_d = T_{d1} + T_{d2}$) y siempre será un tanto por ciento de T_s , ya que T_s es el tiempo de muestreo de los moduladores Sigma-Delta en tiempo continuo.

Dado que el ELD puede provocar pérdida de robustez en el sistema, existen métodos para intentar compensarlo, en caso de que sea necesario. En esta fase de diseño, se podrá seleccionar también si se va a compensar el ELD o no. Esta compensación según [10] consistirá en colocar un cero en el filtro de lazo $H_{sd}(s)$ a altas frecuencias dentro del intervalo de $f_s - f_s/2$.

4.1.2 Segunda fase: Cálculo del filtro de lazo $H_{sd}(s)$

En esta fase de diseño también se distinguen dos partes claramente diferenciadas. Una será el cálculo del filtro de lazo $H_{sd}(s)$, a partir de los parámetros utilizados, mientras que la otra será el cálculo de la ganancia del cuantificador de 1 bit utilizada por el modelo lineal equivalente.

A continuación se detallarán ambas partes:

4.1.2.1 Algoritmo de cálculo del filtro de lazo $H_{sd}(s)$

Una vez que ya se conocen todos los parámetros de diseño del sistema, el siguiente paso en la metodología será el cálculo del filtro de lazo del modulador SDAT.

Este filtro debe garantizar, en la medida de lo posible, que el diseño sea estable y además que se realice el conformado de ruido de forma óptima.

La expresión genérica del filtro de lazo en tiempo continuo representado en el dominio de Laplace puede seguir la siguiente ecuación:

$$H_{sd}(s) = G \cdot \frac{\prod_{i=1}^{n-1} (s - z_i)}{\prod_{i=1}^n (s - p_i)} \quad \text{Ecuación 4.5}$$

Donde G es la ganancia, z_i son los ceros, p_i son los polos y n es el orden del modulador.

Se puede ver en la ecuación 4.5 que el orden del numerador es de un orden menor que el del denominador, esto es así para que el sistema sea causal.

Los únicos parámetros de la ecuación 4.5 que quedan por conocer son los ceros del sistema (z_i) y la ganancia G , ya que los polos y el orden se conocen de la primera fase de diseño. Además de esto, también se conoce como debe ser el filtro $H_{sd}(s)$ para realizar el conformado espectral.

El filtro $H_{sd}(s)$ debe ser de tipo paso bajo con una banda de paso de 0-BW con la mayor ganancia posible, y que en frecuencias mayores de BW sea lo menor posible, de esta manera la NTF será tal que se lleve el máximo ruido posible a frecuencias altas.

El cálculo del conjunto de ceros de la función de transferencia $H_{sd}(s)$ puede ser muy complejo, ya que habrá infinitos modos de colocar los ceros y por lo tanto infinitas soluciones. Una posible solución para resolver este problema es estudiar las funciones de transferencia de filtros paso bajo tipo como pueden ser Butterworth, Chebyshev, Elíptico, y colocar los ceros utilizando estos prototipos. De esta manera modificando únicamente un parámetro, que puede ser aumentar o disminuir la frecuencia de corte, podremos mover los ceros todos al mismo tiempo simplificando el proceso.

Utilizando el estudio que se realiza en [12] sobre los filtros tipo, se deduce que utilizando la función característica del filtro elíptico es la que da mejor resolución y mejor margen de fase. Por lo tanto se utilizará el modelo de filtro elíptico para ubicar los ceros del filtro $H_{sd}(s)$.

Un filtro elíptico depende de la frecuencia de corte, el rizado de la banda de paso y la atenuación en la banda a eliminar. El rizado se mantendrá bajo para distorsionar lo menos posible la señal en la banda de paso y la atenuación lo más alta posible. Si se mueve la frecuencia de corte del filtro elíptico, los polos se moverán todos al mismo tiempo y en la misma proporción aumentando o disminuyendo pero siempre formando una elipse, mientras que los ceros se moverán colocados en el eje imaginario.

Para la ubicación de los ceros del filtro $H_{sd}(s)$, lo que interesa es tener una función parametrizada que en función de un parámetro varíe todos los ceros a la vez y en la misma proporción. Como se ha visto anteriormente, en un filtro elíptico son los polos los que forman una elipse por lo tanto utilizaremos la función característica que ubica los polos en un filtro elíptico como función característica para nuestro algoritmo de ubicación de ceros.

El algoritmo de ubicación de ceros consistirá en seleccionar un modelo de filtro elíptico normalizado del orden necesario, en el que la frecuencia de corte esté entre cero y uno. A partir de este modelo, los ceros de nuestro filtro $H_{sd}(s)$ serán los polos del

modelo elíptico normalizado, escalados inicialmente por el ancho de banda del sistema. En las fases de optimización lo que se hará será ir variando la frecuencia de escalado consiguiendo que los ceros se muevan.

Una vez que ya se tengan definidos los polos y los ceros del filtro $H_{sd}(s)$ el único parámetro que queda por definir en la ecuación 4.5 será la ganancia G . El cálculo de esta G será una estimación teórica que será similar a la estimación hecha en el apartado 4.1.1.1 para el cálculo de la Potencia de ruido de cuantificación del modulador SDAT.

En este caso se partirá de la ecuación 4.5 considerando $G=1$ y los polos y ceros ya ubicados tal y como se ha explicado anteriormente. De esta manera se tendrá una función de transferencia $H_{sd_unitaria}(s)$, que será:

$$H_{sd_unitaria}(s) = \frac{\prod_{i=1}^{n-1} (s - z_i)}{\prod_{i=1}^n (s - p_i)} \quad \text{Ecuación 4.6}$$

A partir de ella se obtiene una $NTF_{unitaria}$ que tendrá la siguiente expresión:

$$NTF_{unitaria} = \frac{1}{1 + H_{sd_unitaria}} \quad \text{Ecuación 4.7}$$

Con esta $NTF_{unitaria}$ se obtendrá una Potencia de ruido de cuantificación unitario que se denominará $P_{N_unitario}$, que se calculará a partir de la ecuación 4.2. Dado que conocemos la SNR teórica a la que se pretende llegar con el diseño del modulador, porque es una especificación de diseño, podremos calcular la ganancia que se le tendrá que aplicar a $NTF_{unitaria}$ para obtener esa SNR especificada. Esta ganancia será la siguiente:

$$G_{NTF} = \sqrt{\frac{P_S}{10^{\frac{SNR}{10}} \cdot P_{N_unitario}}} \quad \text{Ecuación 4.8}$$

A partir de la ganancia para la NTF calculada en la ecuación 4.8 se puede obtener la ganancia estimada para el filtro $H_{sd}(s)$, de la siguiente manera:

$$G = \frac{1}{G_{NTF}} \quad \text{Ecuación 4.9}$$

Hay que destacar que la ganancia G , calculada con la ecuación 4.9 es una manera de estimar teóricamente la ganancia y como tal será un punto de partida para el valor final de esta ganancia. El valor de G será un valor clave a la hora de conseguir

un filtro estable, ya que un valor demasiado alto puede provocar saturación y por lo tanto inestabilidad.

4.1.2.2 Cálculo de la ganancia del cuantificador k_{comp} en el modelo lineal equivalente

Para realizar el cálculo del filtro y de los elementos del modulador trabajamos con el modelo lineal representado en la figura 4.2. En este modelo se ha sustituido el cuantificador de un bit del TEQ por una ganancia k_{comp} . Si nos fijamos en la figura 4.2 el único elemento que queda por definir es esta ganancia, ya que el lazo 2 está totalmente definido ya con los parámetros de diseño.

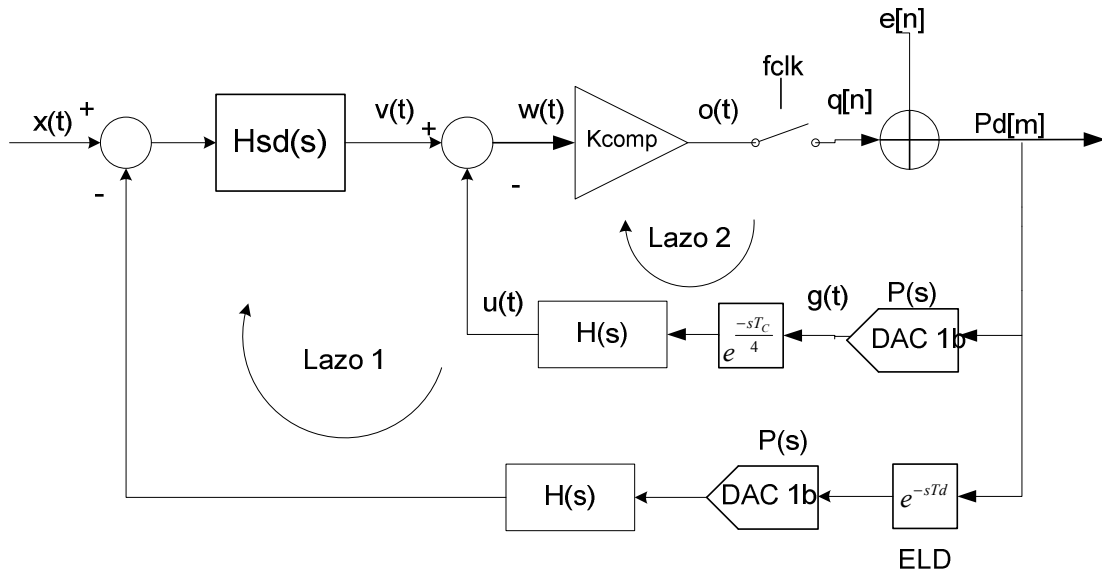


Figura 4.2 Modelo lineal de un SDAT

Si analizamos el lazo 2 de la figura 4.2, podemos obtener una función de transferencia en bucle abierto que tenga como entrada la salida del DAC de 1 bit del lazo 2 ($g(t)$) y como salida la señal de salida de la ganancia k_{comp} ($o(t)$). Esta función de transferencia será $H_2(s)$:

$$H_2(s) = k_{comp} \cdot H(s) \cdot e^{-s \frac{T_c}{4}} \quad \text{Ecuación 4.10}$$

Como ya se ha explicado otras veces el lazo 2 fija la oscilación del ciclo límite a la frecuencia f_c , por lo tanto deberemos fijar k_{comp} de manera que la función de transferencia definida en la ecuación 4.10 oscile a la frecuencia f_c . Por el criterio de

estabilidad positiva para que la función de transferencia anterior oscile se debe cumplir que $H_2(s)$ junto con el signo negativo de la realimentación den 360° cuando el módulo es 0 dB. Si el signo negativo introduce 180° , los otros 180° lo deberá introducir $H_2(s)$, para que esto ocurra se deben dar dos condiciones (ecuaciones 4.11 y 4.12):

$$|H_2(s)| = 1 \quad \text{Ecuación 4.11}$$

$$\angle H_2(s) = -180^\circ \quad \text{Ecuación 4.12}$$

Por lo tanto para que se cumplan ambas condiciones habrá que ajustar k_{comp} al valor necesario para que el módulo de $H_2(s)$ sea 0 dB y la fase sea -180° justo en la frecuencia f_c .

A la hora del diseño de los bloques que componen el sistema, no se ha tenido en cuenta el conformador de pulsos $P(s)$, ya que su efecto en el resultado final es mínimo debido a que los dos DAC de 1bit utilizados en los lazos 1 y 2 son iguales. Si ambos DAC hubieran sido diferentes habría que haber tenido en cuenta el bloque $P(s)$.

La función de transferencia $H(s)$ que se muestra en la figura 4.2, como se explicó en el capítulo 2, es un filtro paso bajo analógico de orden uno. En este punto del diseño, con los datos que se tienen y los que ha introducido el usuario de la herramienta, $H(s)$ está ya fijada y se representa en la ecuación 4.13.

$$H(s) = \frac{gpb \cdot wpb}{s + wpb} \quad \text{Ecuación 4.13}$$

Donde

- $gpb = \frac{k_c}{K_g} \cdot \frac{1}{wpb}$
- wpb es el ancho de banda analógico del sistema
- k_c es una ganancia definida en la ecuación 2.11
- K_g está definida en la ecuación 2.12

4.1.3 Tercera fase: Optimización del filtro

En esta fase de diseño se realizarán de nuevo dos partes bien diferenciadas, la primera de ellas será la evaluación de la calidad del filtro diseñado, para ello se definirán una serie de figuras de mérito, mientras que la segunda será la optimización del filtro en caso de que sea necesario.

4.1.3.1 Definición de Figuras de mérito

Esta fase será la encargada de la definición de unas figuras de mérito a partir de las cuales se evaluará si el diseño realizado cumple o no con lo que se espera de él. Estas figuras de mérito intentarán que se pueda realizar una evaluación cuantitativa de las características del diseño realizado.

Se definirán cuatro figuras de mérito para evaluar el funcionamiento del sistema. No todas las figuras de mérito se definirán sobre la misma parte del sistema. Estas figuras de mérito se utilizarán principalmente para evaluar los requisitos que debe cumplir la metodología del diseño definida en el apartado 3.2, según esto podremos definir dos tipos de figuras de mérito:

- Se definirá una figura de mérito para evaluar la estabilidad del filtro de lazo $H_{sd}(s)$ del lazo 1 del modulador junto con todo el retardo ELD total que se tenga (T_d). Por lo que habrá que evaluar la estabilidad de $H_{sd}(s) \cdot e^{-sT_d}$.
- Se definirán tres figuras de mérito que servirán para evaluar el funcionamiento del sistema completo lazos 1 y 2. Estas figuras de mérito evaluarán tanto la independencia de ambos lazos como el control sobre el ciclo límite.

La primera figura de mérito a definir se denominará **Margen de fase del filtro de lazo (ϕ)** y será el margen de fase que tendrá $H_{sd}(s) \cdot e^{-sT_d}$. Con esta figura de mérito lo que se intentará evaluar es la estabilidad del filtro diseñado y la robustez del mismo frente a variaciones de fase, de esta manera se podrá cuantificar la tolerancia del sistema a cambios producidos en el modulador. El margen de fase se definirá como se ha definido clásicamente, esto es, será la diferencia entre la fase que se tiene en la frecuencia en el que el módulo de $H_{sd}(s)$ es 0dB y 180°.

$$\left| H_{sd}(j\omega_0) \cdot e^{-sT_d} \right| = 0dB \Rightarrow \phi = (\angle H_{sd}(j\omega_0) \cdot e^{-sT_d}) - 180^\circ \quad \text{Ecuación 4.14}$$

Si este margen de fase es cero o menor de cero entonces esto significará que el filtro diseñado es inestable y por lo tanto habrá que diseñar uno nuevo. Sin embargo, si el margen es positivo entonces el sistema será estable. Cuanto mayor sea el margen de fase más tolerante será el sistema a las variaciones en la fase y por lo tanto más robusto.

A continuación definiremos las figuras de mérito asociadas al sistema completo. Como ya se dijo en el apartado 3.2 lo que se busca con esta metodología de diseño es que se diseñe el modulador SDAT como un todo, para ello interesa que ambos lazos sean lo más independientes que se pueda. Para que el lazo 1 prevalezca en las bajas frecuencias y el lazo 2 en las altas frecuencias.

Para intentar evaluar esta independencia se pueden definir tres figuras de mérito que se calcularán a partir de la función de transferencia total $H_T(s)$ definida en la ecuación 3.4. Estas tres figuras de mérito se llamarán: **Margen de fase**, **Margen de ganancia** y **desviación con f_c** , a pesar de diferir con los márgenes de fase y ganancia que se suelen estudiar en la teoría de sistemas lineales realimentados.

A continuación definiremos cada una de estas figuras de mérito.

Margen de fase (MF): Esta figura de mérito se define como la máxima diferencia que existe entre la fase de $H_T(s)$ y 180° dentro del intervalo de fase comprendido entre los dos cortes de la fase de $H_T(s)$ con 180° . Como se puede ver esta figura de mérito se denomina Margen de fase pero sin embargo no es un margen de fase como se entiende habitualmente. Se puede ver mejor su definición en la figura 4.3.

$$\left. \begin{array}{l} \angle H_T(jw_1) = 180^\circ \\ \angle H_T(jw_2) = 180^\circ \end{array} \right\} I = (w_1, w_2) \Rightarrow w / \max(\angle H_T(jI)) \Rightarrow MF = \angle H_T(jw) - 180^\circ$$

Ecuación 4.15

Margen de ganancia (MG): Esta figura de mérito se define como la diferencia entre el módulo de $H_T(s)$ en la primera frecuencia en que la fase de $H_T(s)$ es 180° y el módulo de $H_T(s)$ en la 2ª frecuencia en la que la fase de $H_T(s)$ es 180° . Se puede ver más claramente en la figura 4.3

$$\left. \begin{array}{l} \angle H_T(jw_1) = 180^\circ \\ \angle H_T(jw_2) = 180^\circ \end{array} \right\} \Rightarrow MG = 20 \cdot \log_{10} \left(\frac{|H_T(jw_1)|}{|H_T(jw_2)|} \right)$$

Ecuación 4.16

Desviación con f_c (dev_ f_c): Esta figura de mérito se define como la desviación en tanto por ciento con respecto a f_c que existe entre la segunda frecuencia a la que la fase $H_T(s)$ es 180° y la frecuencia nominal f_c definida. Se puede ver más claramente en la figura 4.3

$$\left. \begin{array}{l} \angle H_T(jw_1) = 180^\circ \\ \angle H_T(jw_2) = 180^\circ \end{array} \right\} \Rightarrow dev_{f_c} = \frac{|f_2 - f_c|}{f_c} \times 100$$

Ecuación 4.17

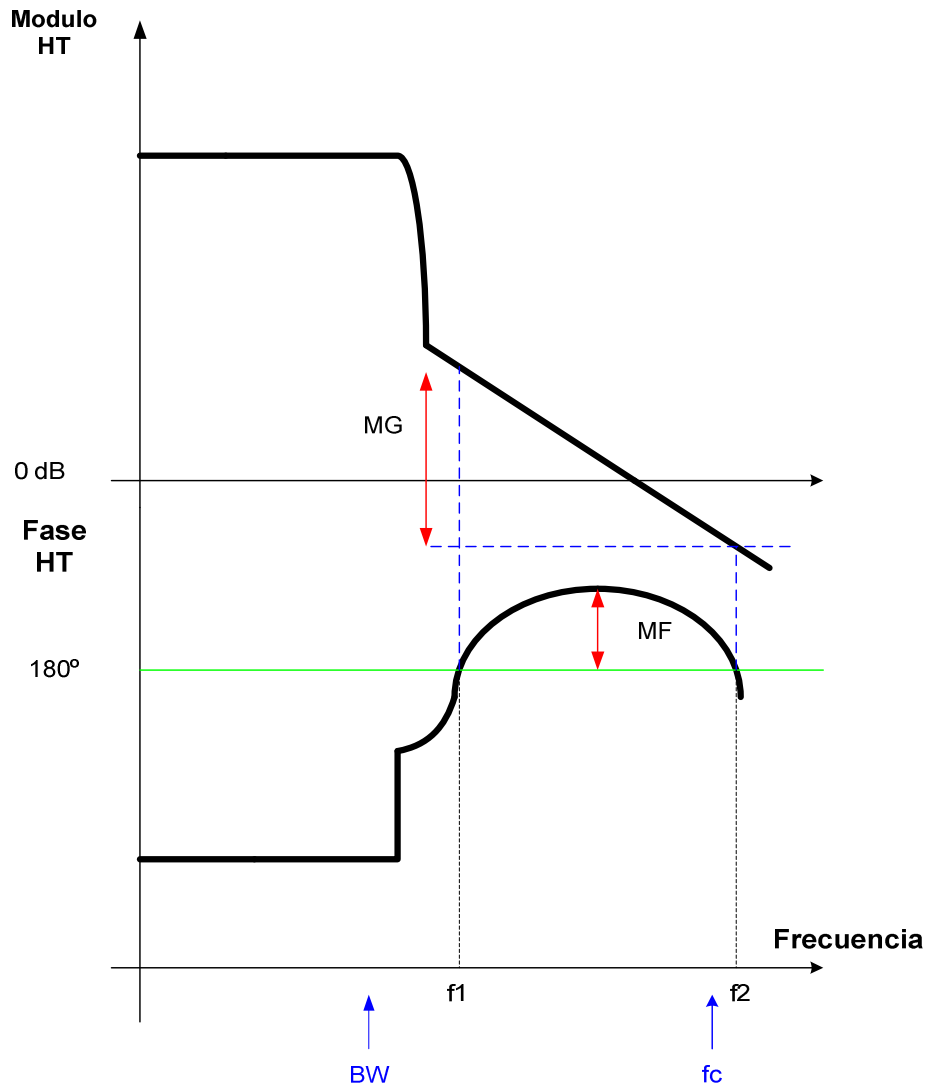


Figura 4.3 Esquema del diagrama de Bode de $H_T(s)$ para la definición de las figuras de mérito

Si observamos la fase de $H_T(s)$ en la figura 4.3 podemos ver que el comportamiento esperado es que corte dos veces con 180°, estos dos cortes cuanto más alejados estén uno del otro en frecuencia, más independientes son un lazo del otro y por lo tanto el sistema funciona a bajas frecuencias según el lazo1 y a altas según el lazo2. Cuanto mayor es esta distancia, mayor será el valor de la figura de mérito definida como Margen de Fase. Por lo tanto el significado que tiene el Margen de fase en este caso será es que cuanto mayor es más margen tienen ambos lazos para ser independientes, y por el contrario si este margen es muy pequeño lo que sucede es que ambos lazos están interfiriendo uno con el otro. En el caso del Margen de ganancia definido anteriormente sucede lo mismo, es decir, cuanto mayor sea más independientes serán ambos lazos.

Con respecto a la última figura de mérito definida, desviación con f_c , lo que indica es donde se encuentra la frecuencia del ciclo límite una vez que el sistema completo está funcionando. Idealmente lo que se buscaría es que esta figura de mérito fuera de 0%, de esta manera el ciclo límite del circuito completo sería igual que el ciclo límite diseñado en el lazo 2, y por lo tanto ambos lazos serían independientes uno del otro, ya que no interferirían entre ellos. Lo que sucede en la práctica es que ambos lazos no son totalmente independientes y por lo tanto existe una desviación entre la frecuencia del ciclo límite que se tiene realmente y la f_c diseñada. De esta manera, con esta figura de mérito además de ver como es la dependencia de ambos lazos, vemos si el ciclo límite está controlado o si se ha descontrolado desestabilizando el sistema.

4.1.3.2 Optimización del filtro de lazo $H_{sd}(s)$

Una vez que se han definido las figuras de mérito, se evaluarán para ver cuál es su estado y así intentar ver si el diseño cumple o no con lo esperado. En caso de que el diseño no sea todo lo bueno que se espera el siguiente paso sería intentar optimizar el filtro para obtener mejores resultados.

El proceso de optimización del filtro consiste en una búsqueda de una solución lo más óptima posible. Esta optimización se realizará de forma manual, de manera que cada vez que se realice un cambio en el filtro, se tendrá que calcular de nuevo el filtro (fase 2) y posteriormente evaluar las figuras de mérito.

Existen dos maneras de optimizar el filtro:

- **Mover los ceros del filtro $H_{sd}(s)$:** para ello se irá moviendo el escalado en frecuencia que se aplica al modelo elíptico normalizado, partiendo desde el ancho de banda que se tiene. De esta manera se conseguirán mover los ceros del filtro $H_{sd}(s)$ todos en la misma proporción. Así se obtendrán distintos valores en las figuras de mérito y por lo tanto se podrán mejorar las prestaciones del diseño.
- **Variar la ganancia G del filtro.** Esta variación será siempre una disminución del valor estimado teóricamente con la ecuación 4.9. De esta manera al disminuir la ganancia se conseguirá mejorar la estabilidad, pero también se disminuirá la resolución del diseño.

Si las figuras de mérito fueran muy buenas sería porque el sistema, para los parámetros de diseño utilizados, estaría subestimado y se podría obtener una mayor resolución, por lo tanto en este caso sería necesario tener una G mayor para intentar obtener mayor resolución. Para conseguirlo habría que volver a la fase 1 para

aumentar las especificaciones del sistema, intentando obtener un diseño que para los mismos parámetros de diseño obtenga mejores resultados.

4.1.4 Cuarta fase: Simulación

Esta última fase irá encaminada a la simulación del modulador diseñado para comprobar cuáles son sus prestaciones reales.

Para ello se realizará en MATLAB un modelo utilizando SIMULINK. El modelo utilizado será un modulador SDAT como el que se muestra en la figura 4.4, donde el filtro $H(s)$ de ambas ramas de realimentación será el mismo tal y como se ha definido en la ecuación 4.13. Además se ha introducido la posibilidad de utilizar dither o no.

El dither es una técnica en la que se añade ruido pseudoaleatorio a la entrada del cuantificador. Esta técnica es necesaria en algunas simulaciones, ya que en determinadas ocasiones puede ocurrir que al realizar el proceso de cuantificación se cree un error compuesto de distorsión armónica [13]. En el circuito real existirá ruido térmico. En un análisis posterior se deberá determinar si el ruido térmico del circuito es suficiente para eliminar la distorsión o no.

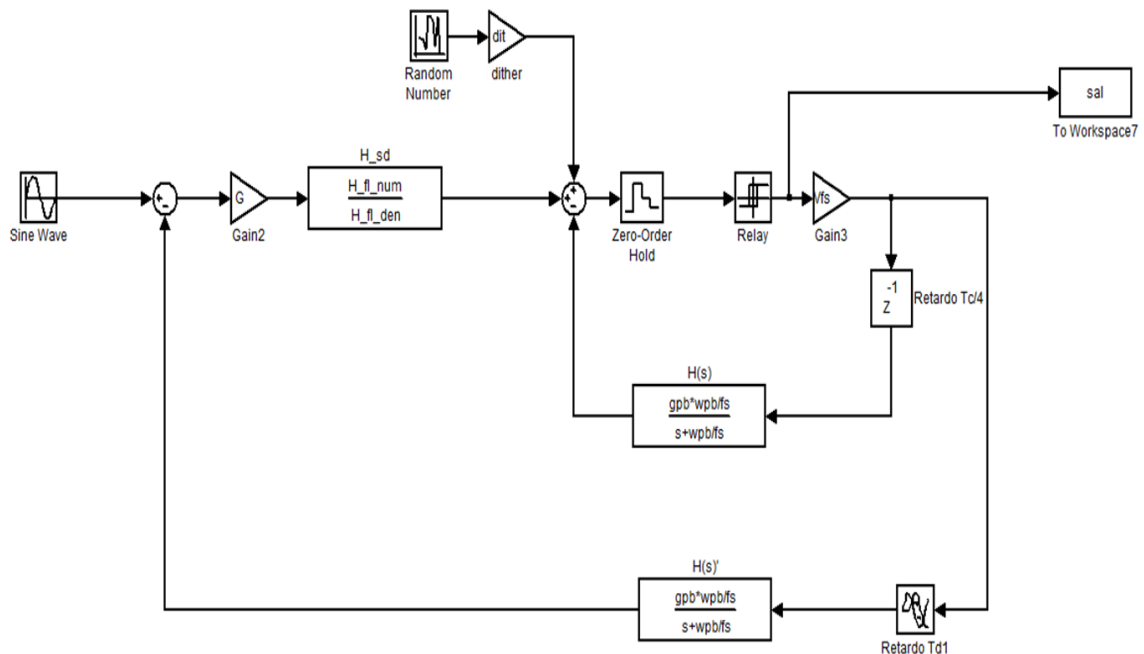


Figura 4.4 Modelo de Simulink de un SDAT

Se podrá realizar un primer grupo de simulaciones para ver el comportamiento del sistema del sistema:

- Simulación del espectro de salida para una amplitud dada y una frecuencia del tono de entrada determinada. Con esta simulación lo que se pretende es ver si el espectro es el esperado, si la frecuencia del ciclo límite sale en su sitio, además también se puede ver la SNR obtenida en este caso.
- Simulación del Rango dinámico con esta simulación lo que se pretende es ver si el sistema alcanza la SNR máxima fijada como especificación del sistema.

A cada una de las simulaciones explicadas anteriormente se les podrá introducir la técnica de dither en caso de que se estime oportuno.

Otro tipo de simulaciones que se podrán realizar serán las encargadas de comprobar la tolerancia del sistema a cambios que se puedan producir en el circuito. Para ello se realizarán las dos simulaciones anteriormente explicadas, pero en este caso no se buscará ver cuál es el comportamiento del sistema, sino cual es la resistencia del sistema a variaciones, y en qué momento el sistema deja de funcionar. Un posible ejemplo de esto sería ir aumentando el retardo T_{d1} del sistema hasta que deje de funcionar, de esta manera se podrá hacer una estimación del máximo retardo T_{d1} que el modulador es capaz de tolerar. Este tipo de simulaciones se realizará una vez que se tenga un diseño óptimo.

En la figura 4.4 el retado T_{d1} al que se hace referencia es el retardo que se explicó anteriormente que era debido a la diferencia de fase entre los relojes usados en el comparador y en el DAC y que será un parámetro de diseño introducido por el usuario. Para llevar a cabo el diseño del modulador utilizando el modelo lineal además de T_{d1} se tuvo en cuenta otro retardo T_{d2} fijo que hacía referencia al retardo estadístico que aparece en el TEQ y a las posibles variaciones que se pudieran dar en los elementos reales del circuito. Estos dos retardos sumados es lo que se ha denominado ELD

4.2 Descripción de la interfaz gráfica de la herramienta

Una vez descrito como se implementa cada fase de diseño en la herramienta el siguiente paso será ver cómo se han integrado estos algoritmos en la herramienta software que se ha desarrollado.

Como ya se ha dicho la herramienta se ha implementado en una interfaz gráfica con la que se pretende llevar a cabo la metodología de diseño propuesta en el capítulo

3. Esta metodología se implementa en la herramienta utilizando unos algoritmos y técnicas específicos.

La herramienta creada se ha llamado *SDAT_DESIGN*, y está formada por diferentes partes, cada una de las cuales es utilizada para una función determinada.

En la figura 4.5 se muestra una captura de la herramienta en funcionamiento con una breve explicación de cada una de sus bloques más importantes.

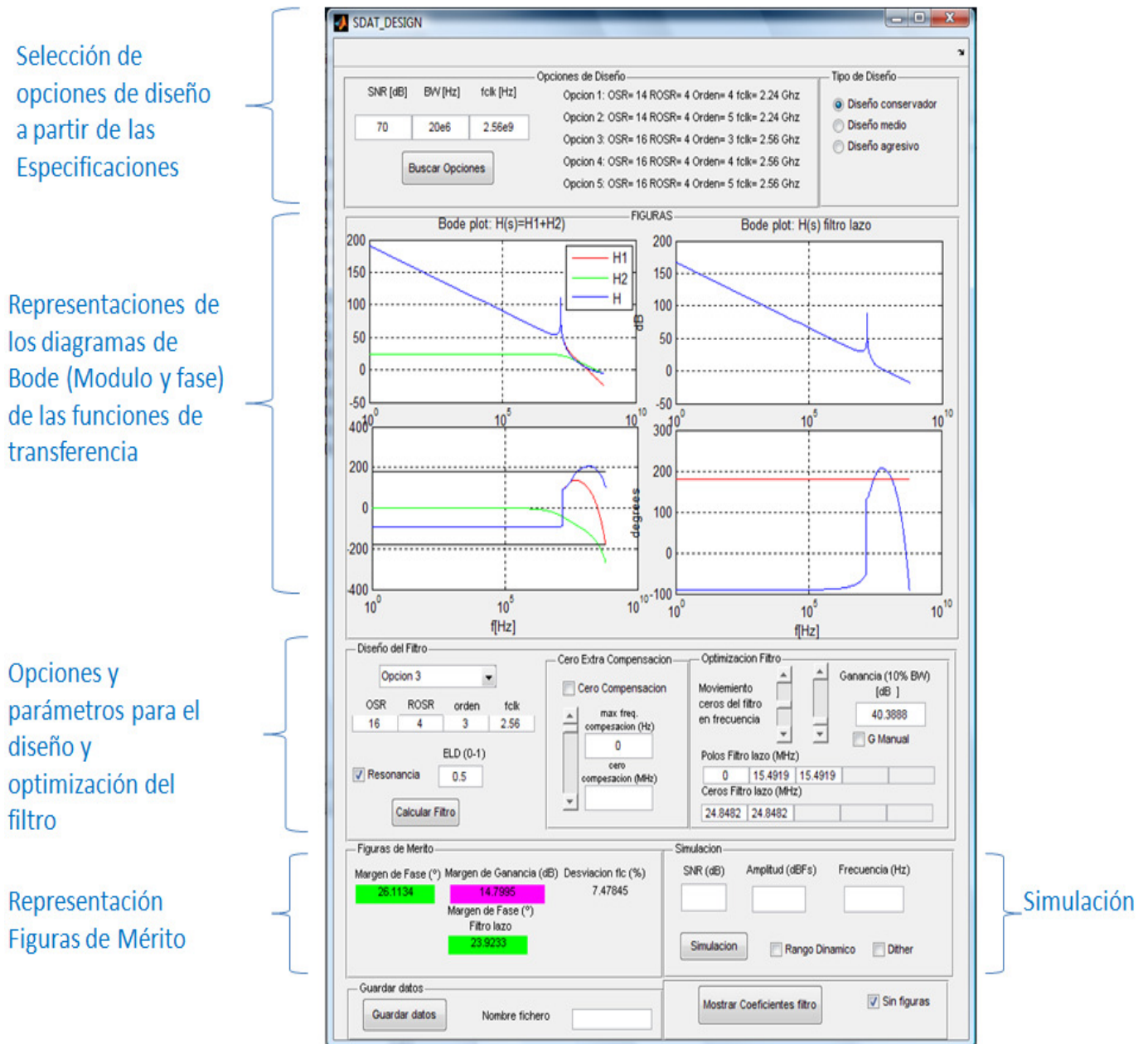


Figura 4.5 Captura de la herramienta *SDAT_DESIGN*

Cada fase del diseño no se corresponderá específicamente con un sólo bloque de la herramienta *SDAT_DESIGN*. Podrá haber bloques de la herramienta que

implementen una parte de una fase de diseño determinada, otros bloques podrán implementar varias fases de diseño.

A continuación se mostrarán cuáles son los bloques de la interfaz gráfica que se encargan de desarrollar cada una de las fases de diseño.

4.2.1 Primera fase

En esta primera fase de diseño, como se ha visto ya varias veces, lo que se pretende es obtener unas determinadas opciones de diseño a partir de las especificaciones dadas, además de seleccionar algunas características del filtro $H_{sd}(s)$.

La primera de las funciones de esta fase se realizará con el bloque de selección de opciones de diseño que se muestra en la figura 4.6. En él se puede ver que para unas determinadas especificaciones, la herramienta proporciona unos parámetros de diseño que podrán ser utilizados para llevar a cabo el diseño cumpliendo las especificaciones.

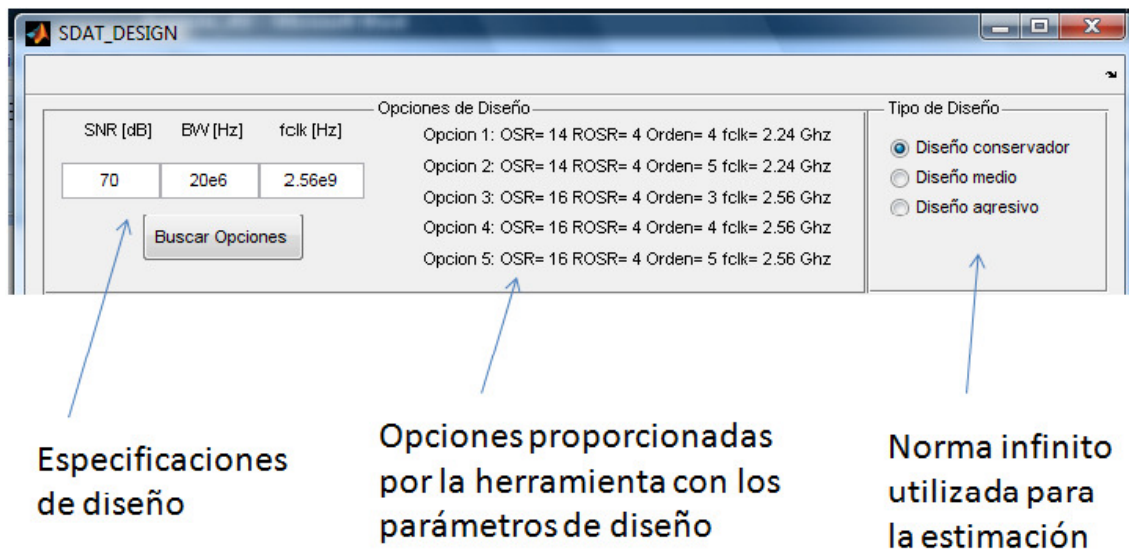


Figura 4.6 Captura del bloque de selección de opciones de diseño

Otra de las funciones que se tienen que realizar en esta fase de diseño será seleccionar características del filtro de lazo a utilizar. Estas características serán: decidir la ubicación de los polos del filtro, así como seleccionar el ELD utilizado (T_{d1}) y si se utiliza compensación de ELD o no. Para llevar a cabo estas funciones se utilizarán algunos elementos del bloque de diseño del filtro. En la figura 4.7 se puede ver un detalle de los elementos utilizados en esta fase de diseño.

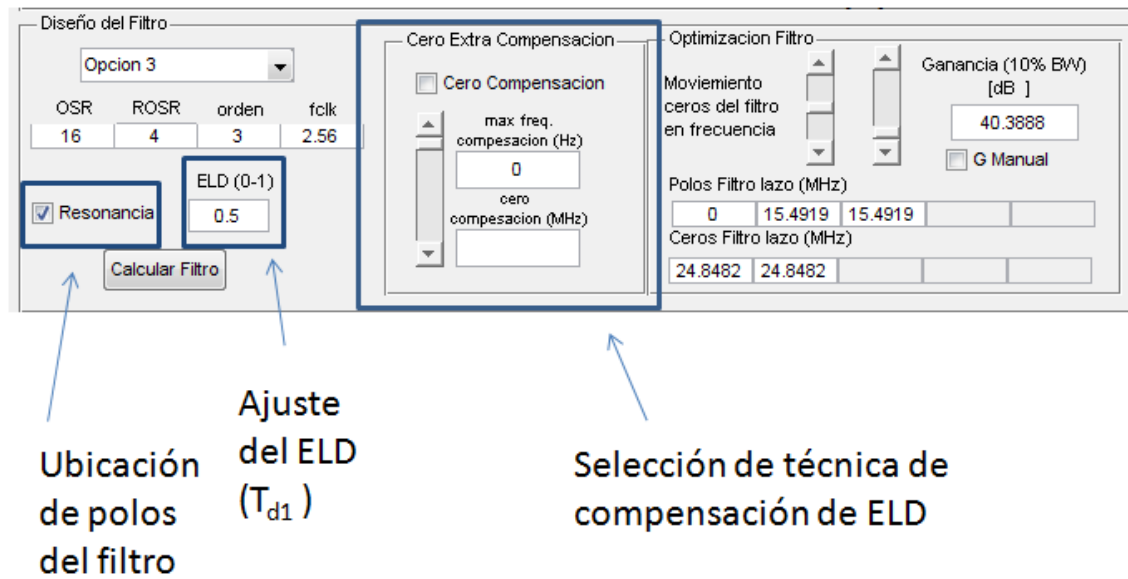


Figura 4.7 Captura del bloque de diseño del filtro señalando los elementos que se utilizan en esta fase de diseño

4.2.2 Segunda fase

En la segunda fase se realiza el cálculo del filtro, a partir de todos los parámetros de diseño seleccionados. Esta fase de diseño está asociada con algunas partes del bloque Diseño del filtro. En particular está asociada principalmente con el botón *Calcular Filtro* de la interfaz gráfica, como se ve en la Figura 4.8.

Además en esta fase de diseño se realiza el cálculo de los elementos del modelo lineal equivalente del modulador SDAT que faltarán por obtener y que lo realizará la herramienta a la vez que el cálculo del filtro de lazo.

Se realiza el
cálculo del
filtro

Se detallan algunos
parámetros de diseño

Figura 4.8 Captura del Bloque de diseño del filtro con los elementos utilizados para el cálculo del filtro

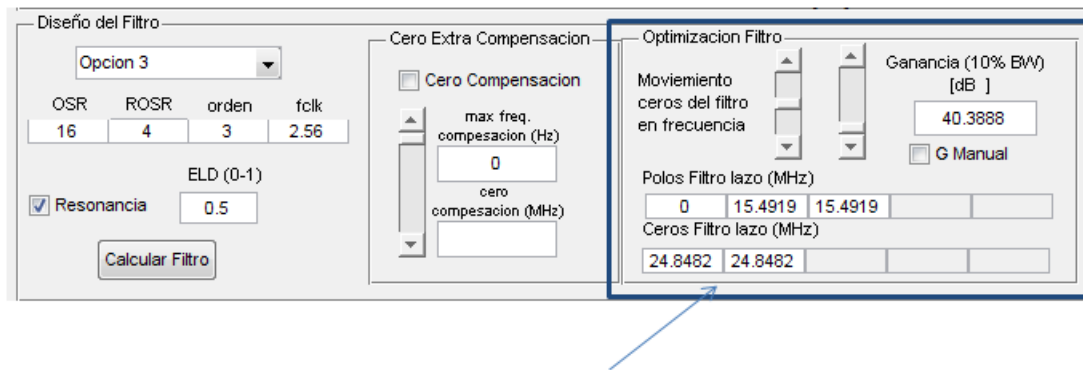
4.2.3 Tercera fase

En esta tercera fase de diseño el objetivo es evaluar la calidad del filtro diseñado a partir de las figuras de Mérito diseñadas. Estas figuras de mérito se muestran en el bloque *Figuras de mérito* representado en la figura 4.9. Tras la evaluación de las figuras de mérito el siguiente paso será realizar la optimización del filtro, en caso de que sea necesario.

Para realizar la optimización del filtro se vio en la sección 4.1.3.2 que se podían llevar a cabo dos acciones: mover los ceros del filtro, o variar su ganancia. Para mover los ceros se parametrizó el conjunto de ceros de manera que moviendo un único parámetro se pudieran mover los ceros. La optimización del filtro se realiza en la interfaz gráfica a través del bloque *Optimización Filtro*, como se puede ver en la figura 4.10.

Muestra las cuatro
figuras de mérito
diseñadas para
evaluar el diseño

Figura 4.9 Captura de las Figuras de mérito mostradas por la herramienta



Bloque que realiza la optimización del filtro

Figura 4.10 Captura del bloque que realiza la optimización del filtro

Se ha añadido a la interfaz gráfica un bloque denominado *Figuras*, que se utilizará para evaluar las prestaciones del filtro diseñado y que servirá de apoyo a las Figuras de mérito. En estas figuras se representan diagramas de Bode del filtro de lazo y de la función de transferencia total del modelo lineal equivalente. Esta herramienta adicional de análisis será útil en esta fase de diseño. Se puede ver un detalle en la figura 4.11.

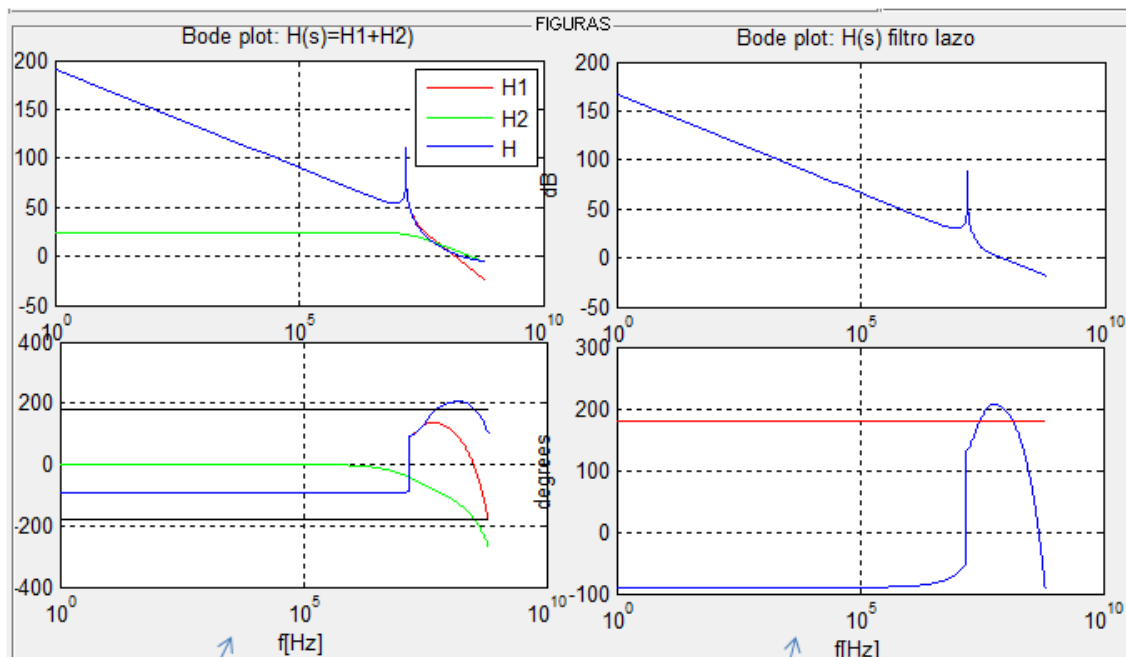


Diagrama de bode del comportamiento del modelo lineal completo

Diagrama de bode del filtro de lazo

Figura 4.11 Captura de los diagramas de Bode de las funciones de transferencia del modelo lineal del diseño

4.2.4 Cuarta fase

Esta última fase lo que se hace es la simulación de todo el modulador SDAT utilizando todas las opciones seleccionadas y todos los elementos calculados. Esta es la única fase del diseño que se corresponde con un único bloque de la interfaz gráfica, este bloque es el bloque de *Simulación*. Se muestra un detalle del bloque en la figura 4.12.



Figura 4.12 Captura del bloque que realiza la simulación del diseño

5. Validación de la Metodología de diseño

El objetivo que se persigue en este capítulo es el de comprobar el correcto funcionamiento de la metodología de diseño creada en este proyecto utilizando la herramienta *SDAT_DESIGN* desarrollada. Para ello se compararán dos circuitos de demostración implementados en tecnología CMOS 130nm y 65nm con los resultados proporcionados por la herramienta.

Los casos de estudio serán dos moduladores SDAT diseñados por el grupo de Diseño Microelectrónico y Aplicaciones (DMA) de la Universidad Carlos III de Madrid en colaboración con una empresa interesada en los resultados, a partir de la metodología de diseño expuesta en [5], pero que han permitido elaborar la metodología que se propone en este proyecto. Estos moduladores de referencia han sido ya diseñados, fabricados, y testeados obteniéndose un resultado satisfactorio.

Los casos de estudio a comparar serán los siguientes:

- Modulador SDAT diseñado en tecnología CMOS de 65nm y ancho de banda 20Mhz, con una resolución efectiva de 10 bits.[14]
- Modulador SDAT con ancho de banda 17 Mhz, desarrollado en tecnología CMOS de 130nm, y con una resolución efectiva de 10 bits. [9]

Por lo tanto para validar la herramienta desarrollada en este proyecto lo que se ha hecho ha sido utilizar la herramienta para diseñar moduladores con las mismas especificaciones que los dos de los casos de estudio y comparar las simulaciones obtenidas en cada caso. De esta manera si conseguimos con la herramienta unos resultados similares a los que obtenemos en los casos de referencia habremos comprobado la validez de la herramienta desarrollada, ya que para los moduladores de referencia está validado su funcionamiento.

En este sentido se han desarrollado dos tipos de simulaciones sobre los moduladores diseñados con la herramienta:

- Unas encaminadas a comprobar el funcionamiento de la herramienta para compararlo con el del modulador de referencia,
- Y otras encaminadas a obtener la tolerancia que tiene el diseño a variaciones que se puedan producir.

5.1 Comparación con el caso de 65nm

En este apartado se realizará una comparación entre los resultados obtenidos para el modulador de 65nm de referencia y el modulador diseñado por la herramienta de diseño desarrollada en este proyecto.

Primero se describirá el diseño realizado en el modulador de 65nm que utilizaremos como referencia para la comparación, mostrando sus características y resultados más relevantes. Posteriormente se pasará a describir los resultados obtenidos por el diseño realizado por la herramienta. Una vez que se tengan definidos ambos moduladores, se compararán.

5.1.1 Descripción del modulador SDAT diseñado en 65nm

A continuación se describirán las características más importantes del diseño a nivel de sistema del modulador SDAT en tecnología CMOS de 65nm. Este modulador ha sido fabricado e integrado en un chip de demostración.

La metodología de diseño llevada a cabo para diseñar este modulador ha sido la propuesta en [5]. En ella se definen los parámetros del modulador como si fuera un modulador con cuantificador multibit uniforme y luego se sustituye el cuantificador multibit por un TEQ.

En la tabla 5.1 se muestran las especificaciones de diseño que debe cumplir:

ENOB (nominal)	ENOB (peor caso)	Ancho de Banda Analógico	Área de Silicio	Consumo de potencia
10 bits	9.5 bits	70Khz-18.5Mhz	<0.08 mm ²	<15 mW

Tabla 5.1 Especificaciones de diseño del modulador SDAT en 65nm

A partir de los datos mostrados en la tabla 5.1, se puede aproximar la SNR máxima que se tendrá a partir de la ecuación 5.1. Esta SNR máxima definirá la resolución que tenga el sistema.

$$SNR_{\text{max}} = 6.02 \cdot ENOB + 1.76 \quad \text{Ecuación 5.1}$$

Por lo tanto utilizando la ecuación 5.1 se tiene que la máxima SNR que se podrá obtener en la práctica con este modulador será de aproximadamente 62 dB. Hay que

destacar que esta SNR máxima será considerando todos los ruidos que se pueden tener en el sistema real (ruido térmico, ruido de cuantificación). Por lo tanto este valor no sirve para compararlo con nuestra herramienta de diseño.

Si se tiene únicamente en cuenta el ruido de cuantificación en este diseño, la SNR máxima que se fijó en este diseño correspondiente al ruido de cuantificación es de 69 dB.

Para llevar a cabo el diseño de la NTF se ha optado por utilizar una estrategia conservadora en el que se primará la robustez ante variaciones que puedan surgir, por lo tanto la norma infinita de la NTF para la que se ha diseñado el modulador ha sido 1.5.

Los parámetros de diseño utilizados para diseñar el modulador Sigma-Delta convencional son los que se muestran en la tabla 5.2:

Norma infinito NTF	Orden	OSR	Frecuencia muestreo Sigma-Delta	ELD (T_{d1})	Ancho de Banda Analógico	Resolución Cuantificador
1.5	3	16	$f_s = 640\text{Mhz}$	25% de T_s	20Mhz	4 bits

Tabla 5.2 Parámetros de diseño del modulador SDTC equivalente

A partir de los parámetros de la Tabla 5.2 se puede llevar a cabo la sustitución del cuantificador de 4 bits por el TEQ equivalente. Los parámetros del nuevo modulador SDAT diseñado son los que se muestran en la Tabla 5.3.

ROSR	COSR	Kg	fclk	fc	fs
8	1/2	6.7	2.56 Ghz	320Mhz	640 Mhz

Tabla 5.3 Parámetros de diseño del modulador SDAT en 65 nm

El significado de estos parámetros es el mismo que se explicó en el apartado 2.3 cuando se introdujeron los SDAT teóricamente.

El filtro de lazo diseñado para este modulador tiene la función de transferencia que se representa en la ecuación 5.2. Este filtro consta de tres polos distribuidos a lo largo del ancho de banda, uno lo tiene a frecuencia cero y los otros dos son polos complejos conjugados (Resonancia) en 15.5 Mhz. Además consta de 2 ceros complejos conjugados en 29 Mhz.

$$H(sTs) = \frac{0.6242 \cdot (sTs)^2 + 0.2513 \cdot (sTs) + 0.0506}{(sTs) \cdot ((sTs)^2 + 0.0231)} \quad \text{Ecuación 5.2}$$

En la figura 5.1 se representa el diagrama de Bode en módulo y fase de la función de transferencia en lazo abierto $H_{ol}(s)$. En ella se puede ver que el margen de fase es de 15° , por lo tanto será estable. La función de transferencia se define en la ecuación 5.3.

$$H_{ol}(s) = H_{sd}(s) \cdot \frac{1 - e^{-sT_{clk}}}{sT_{clk}} \cdot e^{-sT_d} \quad \text{Ecuación 5.3}$$

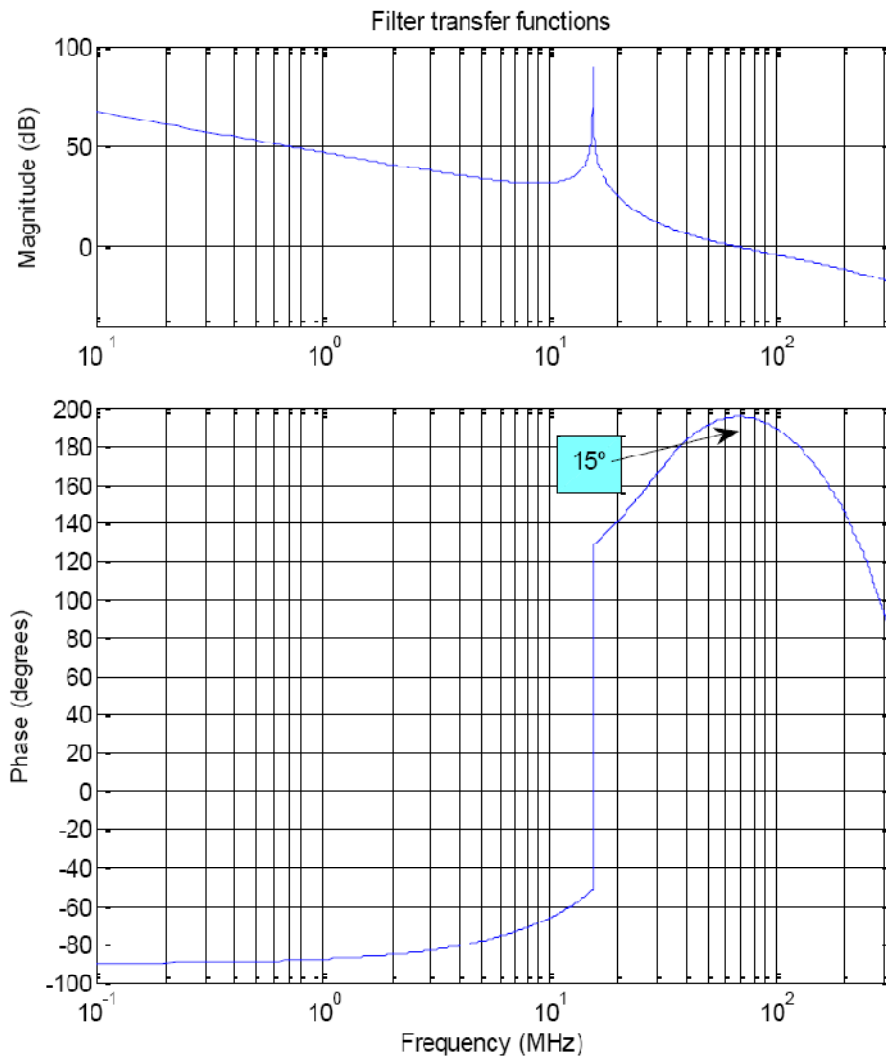


Figura 5.1 Diagrama de bode de la función de transferencia de la ecuación 5.3

El diagrama de bloques del modulador diseñado se representa en la figura 5.2. En él se ha sustituido el filtro de lazo $H_{sd}(s)$ por su representación en coeficientes equivalente.

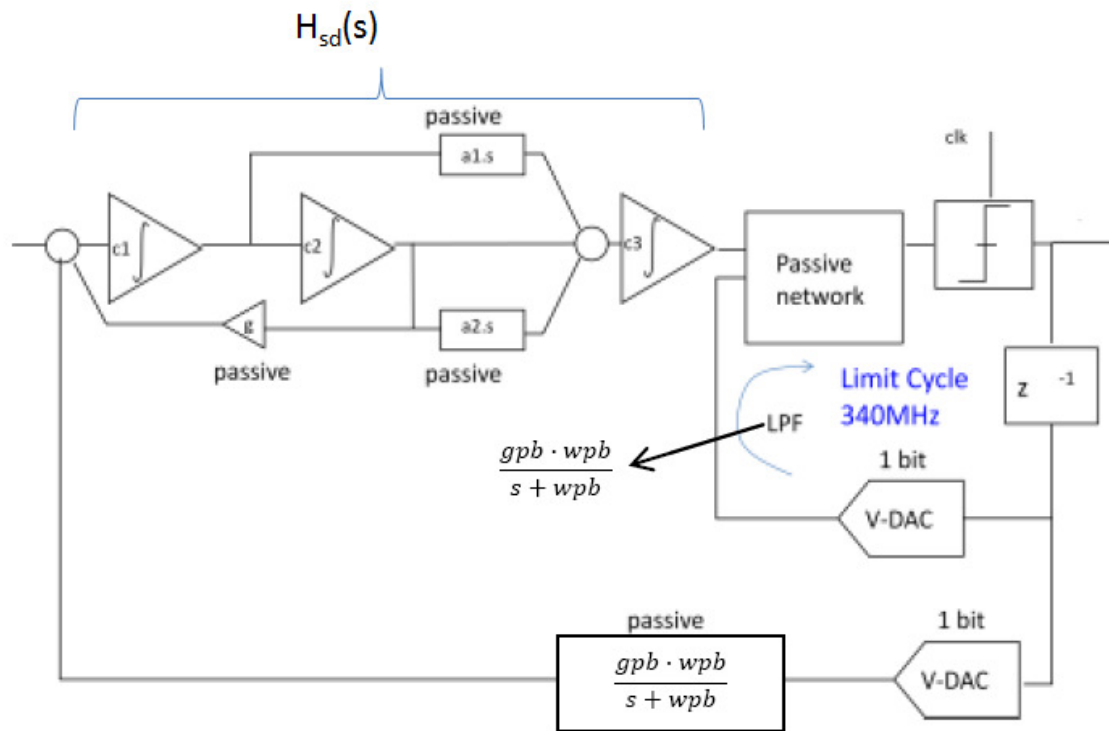


Figura 5.2 Diagrama de bloques del SDAT en 65nm

El diagrama de bloques de la figura 5.2 puede ser implementado circuitalmente a través del esquemático que se muestra en la figura 5.3.

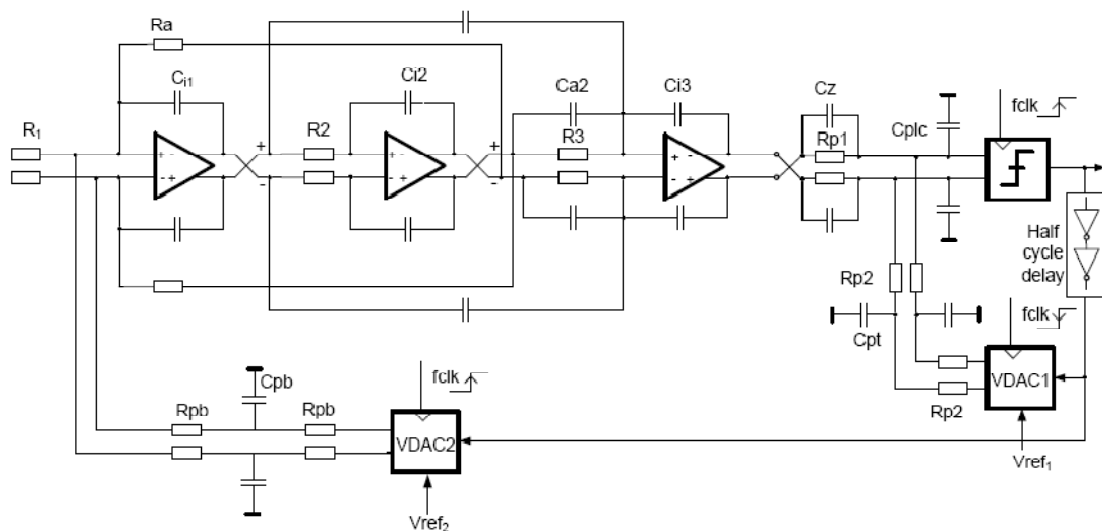


Figura 5.3 Representación circuital del SDAT en 65nm

Una vez que el modulador SDAT ha sido modelado completamente el siguiente paso es realizar la simulación del diseño para ver su comportamiento. En la figura 5.4 se muestra el Rango dinámico calculado en Simulink. En él se puede ver algo que se señaló al principio de esta sección y es que el Rango dinámico está en torno a 70 dB.

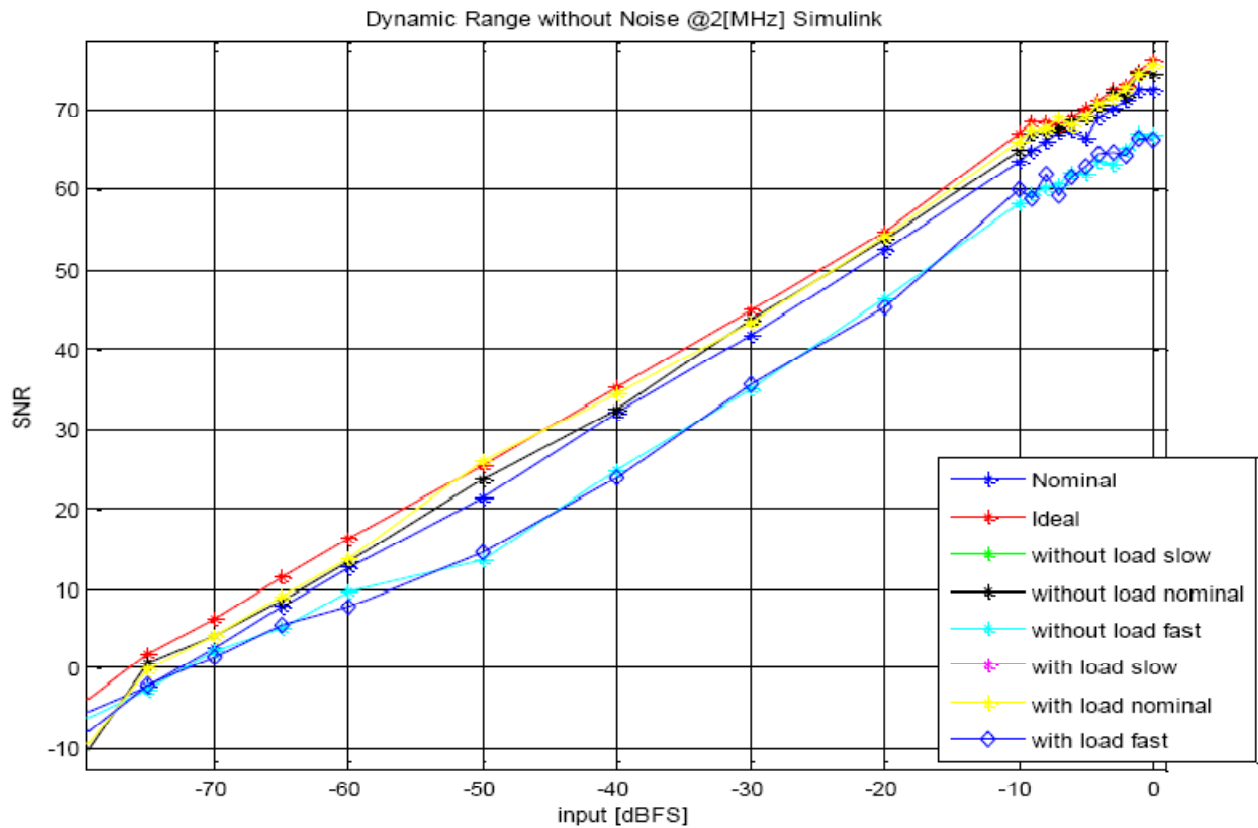


Figura 5.4 Rango dinámico del SDAT en 65nm Simulado en Matlab

Como ya se ha comentado este modulador una vez diseñado y testeado se fabricó en tecnología CMOS de 65nm. En las figuras siguientes se mostrarán simulaciones del circuito real fabricado.

En la figura 5.5 se puede ver una simulación experimental de circuito fabricado, donde se representa el espectro de la señal de salida para un tono de entrada de -12 dBFS y frecuencia de 2.5 Mhz. En ella se puede ver que el comportamiento es el esperado apareciendo el ciclo limite en torno a la frecuencia de 320 Mhz.

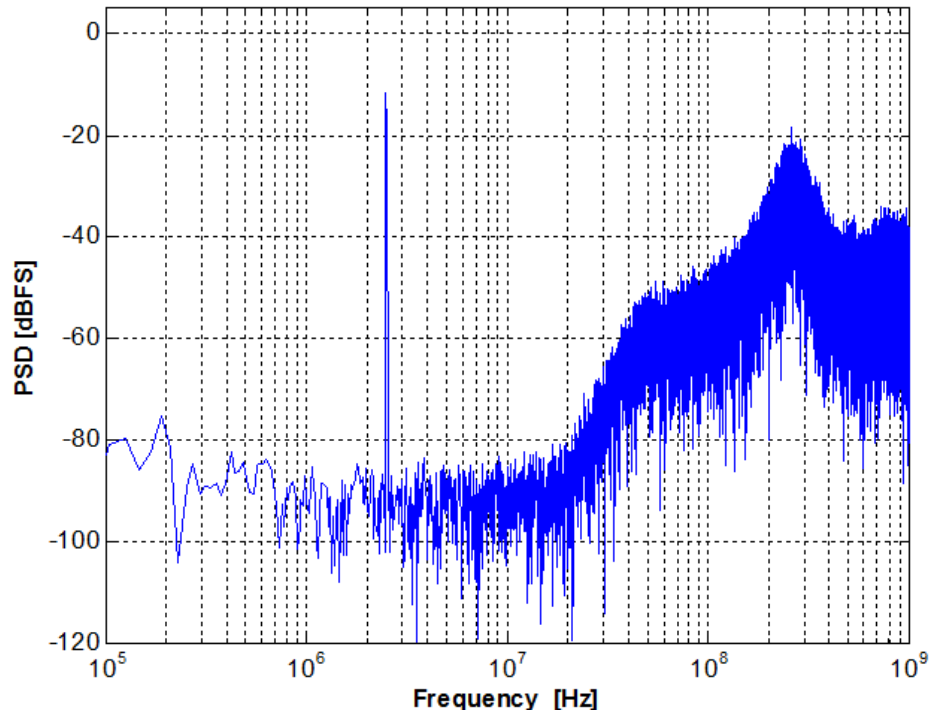


Figura 5.5 Espectro de la señal de salida del SDAT en 65nm. Simulación del circuito fabricado

En la figura 5.6 se muestra el Rango dinámico obtenido en la simulación del circuito fabricado. Si lo comparamos con la figura 5.4 se ve que el rango dinámico es más bajo que el obtenido en la simulación de Simulink sin ruido. Sin embargo este resultado es bueno ya que el rango dinámico en este caso es de 63 dB, que es la especificación de funcionamiento de este diseño.

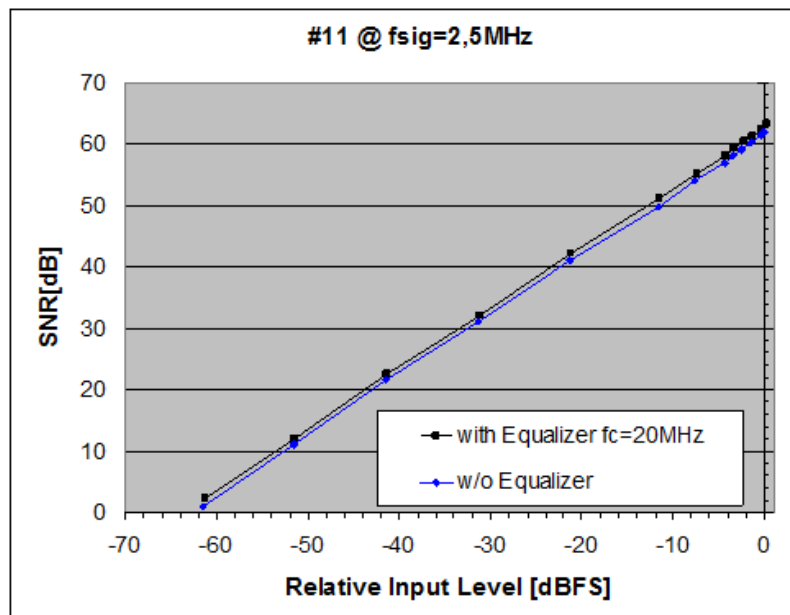


Figura 5.6 Rango dinámico del modulador SDAT en 65nm. Simulación del circuito fabricado

Viendo estos resultados experimentales del modulador en 65nm una vez fabricado se comprueba que cumple con sus especificaciones.

5.1.2 Resultados de la herramienta

En este apartado lo que se pretenderá es obtener un diseño que tenga las mismas especificaciones que el modulador de referencia presentado en 5.1.1, pero que esté diseñado utilizando la metodología de diseño propuesta en este proyecto. Para llevar a cabo el diseño se utilizará la herramienta software diseñada *SDAT_DESIGN*.

La principal diferencia que encontramos en esta metodología de diseño si la comparamos con la utilizada en el apartado anterior, es que en este caso diseñaremos el modulador SDAT partiendo de cero, es decir, sin basarnos en un modulador Sigma-Delta multibit.

Ambos diseños deben de ser similares para poder compararlos adecuadamente. Por lo tanto las especificaciones que debe cumplir cada diseño deben de ser iguales. En la tabla 5.4 se presentan las especificaciones que debe cumplir este diseño para ser igual que el diseño anterior.

SNR máxima	Ancho de Banda	Frecuencia muestreo (fclk)
70 dB	20 Mhz	2.56 Ghz

Tabla 5.4 Especificaciones del diseño del SDAT realizado con la herramienta para 65nm

Las especificaciones mostradas en la Tabla 5.4 serán las que se introducirán en la herramienta, que se encargará de dar las opciones de diseño que estime que puedan cumplir las especificaciones dadas.

En la herramienta se puede optar por tres tipos de diseño que van desde más conservador a más agresivo, en función de Los riesgos que se quieran asumir en el diseño. Como en el diseño de referencia se optó por una estrategia conservadora que fuera lo más robusta posible, en este caso se optará también por una estrategia conservadora con norma infinito 1.5.

En la figura 5.7 se muestra una captura de las opciones de diseño proporcionadas por la herramienta. Estas opciones de diseño son elegidas de tal manera que la herramienta estime que cumplen con las especificaciones y que son

óptimas en potencia. La herramienta selecciona las 5 opciones más efectivas en cuanto a consumo de potencia aunque estén numeradas del 1 al 5 no quiere decir que la opción 1 sea más eficiente en cuanto a potencia que la 5, si no que se muestran las opciones así ordenadas para que el diseñador elija la que más le convenga. La opción elegida en este diseño es la recuadrada en la figura 5.7.

Opciones de Diseño

SNR [dB] BW [Hz] fclk [Hz]

70 20e6 2.56e9

Buscar Opciones

Opcion 1: OSR= 14 ROSR= 4 Orden= 4 fclk= 2.24 Ghz
 Opcion 2: OSR= 14 ROSR= 4 Orden= 5 fclk= 2.24 Ghz
Opcion 3: OSR= 16 ROSR= 4 Orden= 3 fclk= 2.56 Ghz
 Opcion 4: OSR= 16 ROSR= 4 Orden= 4 fclk= 2.56 Ghz
 Opcion 5: OSR= 16 ROSR= 4 Orden= 5 fclk= 2.56 Ghz

Tipo de Diseño

☒ Diseño conservador
☐ Diseño medio
☐ Diseño agresivo

Figura 5.7 Captura de las opciones de diseño proporcionadas por la herramienta

Se ha elegido la Opción 3 porque coincide justamente con las mismas opciones seleccionadas para en el modulador de referencia. Además de las 5 opciones proporcionadas es la que tiene un orden menor.

Las opciones de diseño seleccionadas para este caso se muestran en la Tabla 5.5

Norma infinito NTF	Orden	OSR	ELD (T_{d1})	Ancho de Banda analógico	
1.5	3	16	25% de T_s	20 Mhz	
ROSR	COSR	Kg	fclk	fc	fs
4	1/2	5.91	2.56 Ghz	320 Mhz	640 Mhz

Tabla 5.5 Opciones de diseño para el modulador SDAT realizado con la herramienta para 65nm

En este caso a diferencia que en el caso anterior, la ROSR se define con respecto a f_s como se muestra en la ecuación 5.4

$$ROSR = \frac{f_{clk}}{f_s} \quad \text{Ecuación 5.4}$$

Es por esto que aunque los parámetros de diseño son iguales en ambos moduladores, la ROSR en este caso es 4 y en el caso del modulador de referencia es 8. Pero el significado es el mismo.

El filtro de lazo diseñado por la herramienta se presenta en la ecuación 5.5. En este caso este filtro no ha sido optimizado, ya que una vez calculado se han evaluado las figuras de mérito y se ha visto que el filtro en principio era estable y presentaba buenas prestaciones para un ELD del 25% de T_s , considerando ELD el retardo

introducido por el usuario en la herramienta que se ha llamado T_{d1} anteriormente, que es con lo que se quiere comparar. El filtro presenta tres polos, uno en frecuencia cero y dos polos complejos conjugados en la frecuencia de 15.5 Mhz, además presenta dos ceros complejos conjugados en la frecuencia 24.8 Mhz. En la figura 5.8 se puede ver una captura de la ubicación de polos y ceros dada por la herramienta.

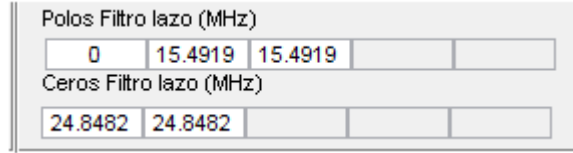


Figura 5.8 Captura de la ubicación de los ceros y polos proporcionada por la herramienta

$$H(sTs) = \frac{0.7876 \cdot (sTs)^2 + 0.2135 \cdot (sTs) + 0.0469}{(sTs) \cdot ((sTs)^2 + 0.0231)} \quad \text{Ecuación 5.5}$$

En la figura 5.9 se representa el diagrama de bode de módulo y fase del filtro de lazo y el retardo T_d . El margen de fase de este filtro es de 35.3° por lo tanto el filtro será estable con un amplio margen en caso de que haya variaciones en el sistema. La función de transferencia presentada en la figura se corresponde con la ecuación 5.6.

$$TF = H(sTs) \cdot e^{-sT_d} \quad \text{Ecuación 5.6}$$

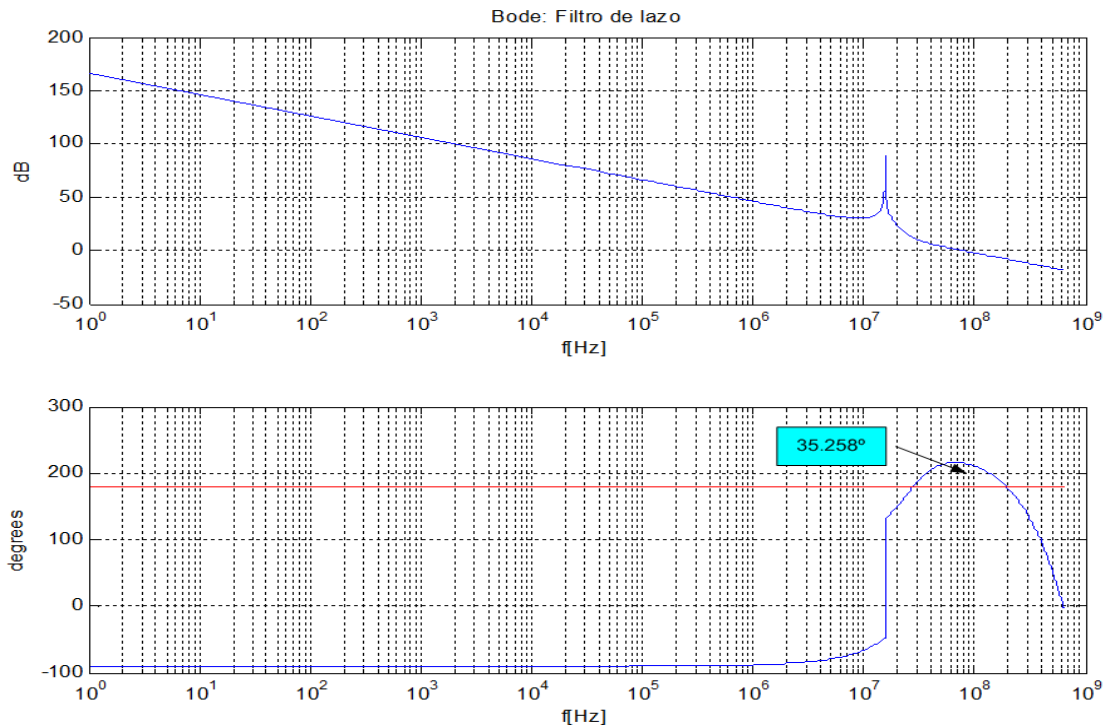


Figura 5.9 Diagrama de bode de la función de transferencia representada en la ecuación 5.6

A la hora de diseñar este modulador es muy importante fijarse como es el comportamiento de los dos lazos de realimentación, para ello se observan las funciones de transferencia $H_1(s)$ y $H_2(s)$ ya definidas. Además también resulta útil ver cómo influyen uno y otro en el comportamiento total del sistema $H_T(s)$, observando como de independientes son ambos lazos en el diseño llevado a cabo. En la figura 5.10 se puede ver como es el comportamiento de las tres funciones de transferencia anteriores.

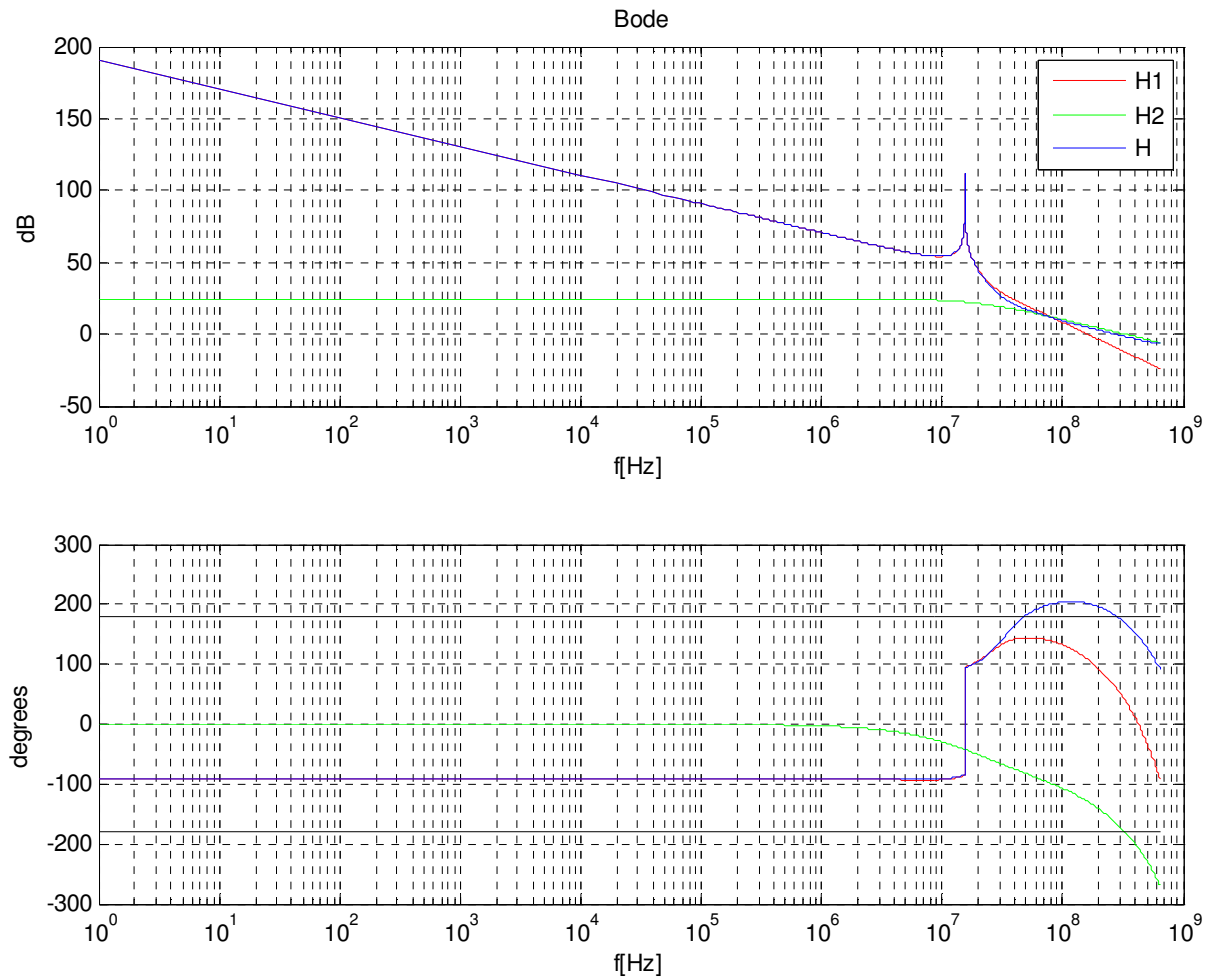


Figura 5.10 Diagrama de bode de las funciones de transferencia $H_1(s)$, $H_2(s)$ y $H_T(s)$

Como se puede ver en la figura 5.10 el resultado es el esperado, ya que $H_T(s)$ tiene el mismo comportamiento que $H_1(s)$ en bajas frecuencias (Conformado de ruido) y en altas frecuencias sigue a la función de transferencia del lazo 2, $H_2(s)$. Para apoyar el análisis del filtro diseñado se pueden observar las figuras de mérito que proporciona la herramienta y que fueron definidas en el capítulo 4. En la figura 5.11 se ve una captura de estas figuras de mérito.

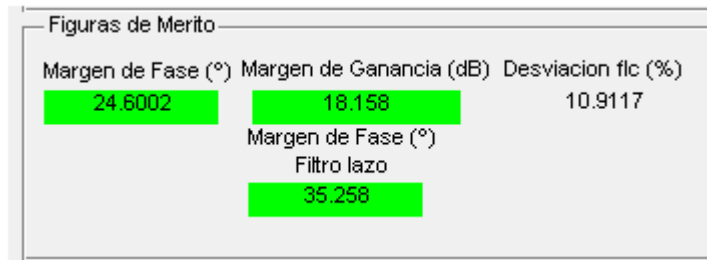


Figura 5.11 Figuras de mérito proporcionadas por la herramienta

Analizando las figuras de mérito proporcionadas por la herramienta se obtiene la misma conclusión que obtuvimos a partir de los diagramas de bode, y es que el diseño realizado a priori cumple con lo esperado en la metodología de diseño, esto es que es estable y ambos lazos no interfieren mucho uno en el otro. Además la desviación de la frecuencia del ciclo límite no es muy alta, por lo tanto el ciclo límite no se ha desajustado mucho del lugar ideal de diseño.

Una vez que se ha comprobado que el diseño cumple a priori con lo esperado en la fase de diseño, el siguiente paso será simularlo mediante Simulink para así comprobar si realmente el circuito funciona satisfactoriamente. Las simulaciones que se realizarán irán encaminadas a probar el correcto funcionamiento del sistema, sin variar parámetros del mismo.

En primer lugar se analizará el espectro de la señal para así ver cuál es el comportamiento del modulador y si responde a lo que se espera de él. Para realizar esta simulación se introdujo como señal de entrada un tono de frecuencia 5 Mhz y una amplitud de -5 dBfs. El resultado obtenido se muestra en la figura 5.12.

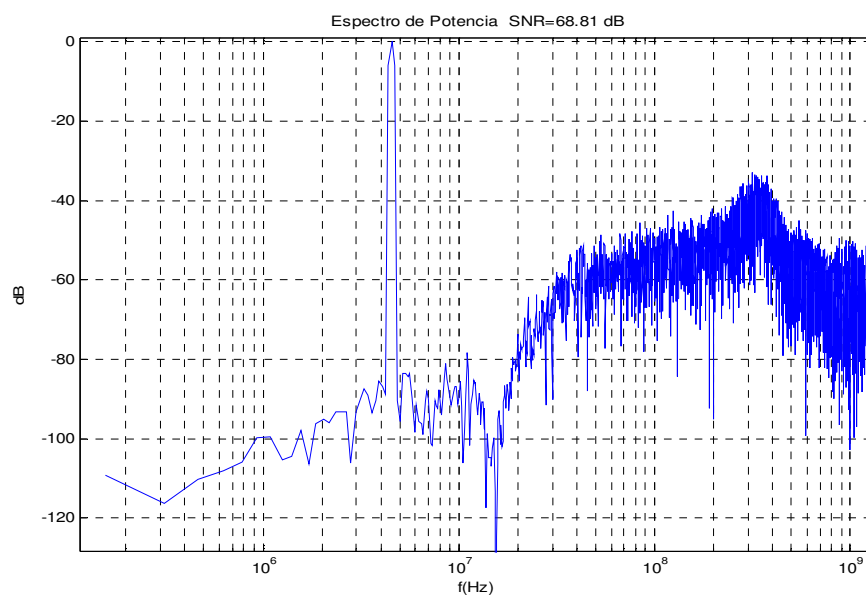


Figura 5.12 Espectro de la señal de salida del modulador SDAT realizado con la herramienta

Si se observa el espectro obtenido se puede ver que en principio, las prestaciones del modulador son buenas, ya que se obtiene una SNR de 68.81 dB para -5 dBfs muy cercana a la SNR máxima definida en las especificaciones. Además en el espectro se puede ver que el ciclo límite sale entorno a 350 Mhz que es muy cercano a los 320 Mhz ideales.

Otra simulación que se puede realizar es la de rango dinámico. Para realizar esta simulación lo que se hace es variar las amplitudes de entrada dejando la frecuencia en el mismo sitio siempre. El rango dinámico será el rango de amplitudes en el que la SNR obtenida es más o menos lineal. En la figura 5.13 se muestra el rango dinámico simulado con este modulador para una señal de frecuencia 5Mhz.

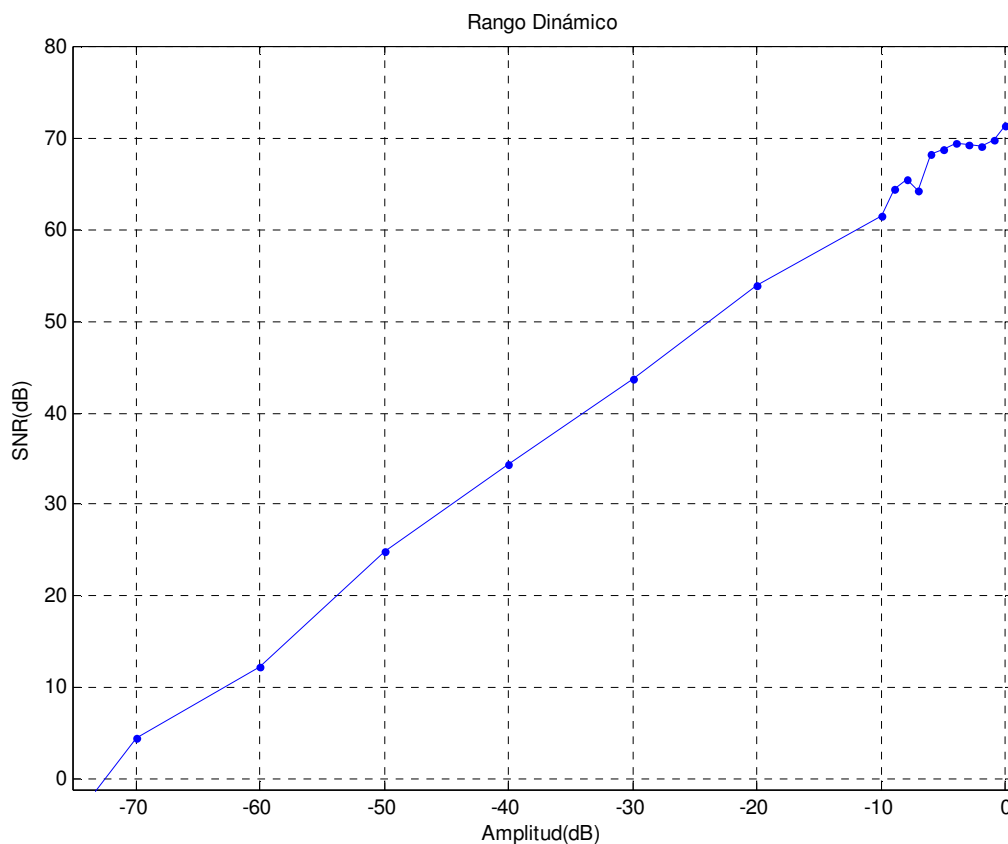


Figura 5.13 Rango dinámico del modulador SDAT realizado con la herramienta

Como se puede ver en la figura 5.13 el rango dinámico que se obtiene es un poco superior a 70 dB en concreto 72.5 dB ya que en -72.5dB la SNR obtenida es cero y se mantiene aproximadamente lineal hasta los 0dB. La máxima SNR que se obtiene es de 72 dB.

Por lo tanto a la vista de los resultados obtenidos se puede concluir que el filtro diseñado para las especificaciones de la Tabla 5.4 funciona correctamente obteniéndose unos valores dentro de lo esperado.

Una vez comprobado el correcto funcionamiento del diseño, el siguiente paso será probar su robustez, para ello se comprobará la tolerancia del diseño a variaciones que puedan surgir en el sistema.

Una manera de medir esta robustez es variar el retardo ELD (T_{d1}) que se considera en el diseño desde su valor nominal (25 % de T_s) hasta el valor en el que el diseño deje de funcionar. A medida que se va aumentando el retardo, el sistema comienza a funcionar más forzado, obteniéndose unas figuras de mérito cada vez menores hasta que se llega al momento en el que el sistema no tolera más retardo y deja de funcionar. Ese valor será el valor máximo de ELD (T_{d1}) que se pueda soportar el sistema. El cálculo de este valor se realiza a partir de la simulación iterativa probando diferentes valores de retardo cada vez mayores hasta que se encuentre el valor solución.

Para el circuito diseñado en este apartado, el valor máximo que se puede tolerar por el sistema es de $1.2 T_s$. Hay que indicar que para obtener este resultado no se ha realizado ninguna optimización en el filtro ni se ha introducido ningún cero de compensación.

Si se optimiza el filtro y se añaden ceros de compensación se ha comprobado que se puede llegar a tolerar un retardo ELD de $1.5 T_s$.

Dado que las figuras de mérito del sistema representadas en la figura 5.12 son bastante altas, se ha intentado optimizar el filtro de manera que se obtuviera una mayor ganancia y por lo tanto se aumentara la resolución. Sin embargo al optimizar el filtro los resultados obtenidos no fueron tan buenos como lo esperado y únicamente se lograron mejoras de 1 dB con respecto al diseño realizado.

5.1.3 Comparación de ambos Moduladores

Una vez que se han presentado los resultados obtenidos para ambos diseños se realizará una comparación de ambos para establecer las diferencias y similitudes que se tienen.

En primer lugar se realizará una comparación de los parámetros de diseño utilizados en ambos diseños. Estos parámetros se enfrentarán en la tabla 5.6.

Parámetros de diseño	Modulador de referencia 65nm	Modulador Diseñado en este proyecto
Orden	3	3
OSR	16	16
ROSR	8	4
COSR	1/2	1/2
Ancho de Banda	20 Mhz	20 Mhz
ELD Nominal (T_{d1})	25% de T_s	25% de T_s
ELD máximo tolerado (T_{d1})	--	120% de T_s
Kg	6.7	5.91
fs (frecuencia muestreo Sigma-Delta)	640 Mhz	640 Mhz
fclk (frecuencia de reloj)	2.56 Ghz	2.56 Ghz
fc (frecuencia del ciclo limite)	320 Mhz	320Mhz

Tabla 5.6 Comparación de los parámetros de diseño del modulador de referencia en 65nm y el diseñado por la herramienta

Las únicas diferencias que encontramos comparando los parámetros de diseño de ambos moduladores son en ROSR y en Kg. Las diferencias en ROSR no son tales, ya que como se ha explicado en las secciones anteriores, ROSR se modela de manera diferente en ambos moduladores pero son equivalentes. En cuanto a Kg las diferencias son pequeñas y son debidas a que en uno y otro caso se utilizan simplificaciones diferentes para su cálculo. A pesar de estas pequeñas diferencias los parámetros de diseño son los mismos en ambos moduladores.

En la Tabla 5.7 se comparan los filtros de lazo que se obtienen en ambos diseños. En este caso no se puede realizar una comparación de la función de transferencia $H_T(s)$, ya que en el modulador de referencia no se utiliza para su diseño.

Parámetros del filtro	Modulador de referencia 65nm	Modulador Diseñado en este proyecto
Polos	0 Hz (1) 15.5 Mhz (2 comp. conj.)	0 Hz (1) 15.5 Mhz (2 comp. conj.)
Ceros	29 Mhz (2 comp. conj.)	24.8 Mhz (2 comp. conj.)

Tabla 5.7 Ubicación de los polos y ceros de $H_{sd}(s)$ en el modulador de referencia en 65nm y el diseñado por la herramienta

Si se observa la Tabla 5.7 se puede ver que los filtros de lazo diseñados en cada caso presentan algunas diferencias en la posición de los ceros, esto será debido a que cada modulador se diseña utilizando una metodología diferente.

Finalmente se puede comparar el funcionamiento de ambos moduladores observando sus resultados al simularlos. En este caso se puede comparar el rango dinámico y la SNR máxima obtenidos. Para llevar a cabo esta comparación nos fijaremos en las figuras 5.4 y 5.13. En ellas se puede observar que el Rango dinámico de ambos es aproximadamente 70 dB, y la SNR máxima está en torno a 72 dB. También se puede ver que los espectros de ambos diseños mostrados en las figuras 5.5 y 5.12 son muy similares.

Por lo tanto a la vista de los resultados obtenidos en la comparación de ambos moduladores se puede concluir que los diseños son muy semejantes dando unos resultados bastante parecidos.

Como resultado de esta comparación satisfactoria se deduce que la herramienta desarrollada en este proyecto fin de carrera es una herramienta válida para diseñar moduladores SDAT.

En cuanto a la metodología, vemos que producen resultados similares a los que producía la metodología anterior. Hay que tener en cuenta que la metodología aquí propuesta garantiza la independencia de los dos bucles con el menor consumo de potencia posible. En la metodología anterior esto no era comprobado, aunque paralelamente se pueda llegar al mismo resultado. Dado que en este circuito el ciclo límite se ha mantenido cerca de su posición nominal la independencia de los dos bucles no ha representado una limitación de diseño.

5.2 Comparación con el caso de 130nm.

Al igual que se hizo con el caso anterior, en este caso se utilizará como referencia un modulador ya diseñado, testado y fabricado para validar la herramienta diseñada.

Primero se presentarán los resultados obtenidos en el diseño en 130nm, posteriormente se describirán los resultados obtenidos con la herramienta y finalmente se compararán ambos diseños.

5.2.1 Descripción del modulador SDAT diseñado en 130nm

A continuación se describirán las características más importantes del diseño a nivel de sistema del modulador SDAT denominado ASYAD3 en tecnología CMOS de 130nm.

Este modulador fue diseñado con dos modos de funcionamiento programables. Uno de ellos el modo HB (High Bandwidth), con ancho de banda de 17 Mhz y un ENOB=10bits. Y el otro modo es el modo HR (High Resolution) con un ancho de banda de 6.4 Mhz y un ENOB=12 bits. En este estudio se utilizará únicamente el modo HB, ya que es el que presenta un mayor ancho de banda y será más adecuado para aplicaciones de comunicaciones.

En este diseño, se parte de un modulador Sigma-Delta con un cuantificador multibit para fijar las especificaciones del sistema, y posteriormente se obtienen los parámetros del TEQ

En la tabla 5.8 se muestran las especificaciones de diseño que debe cumplir:

ENOB (nominal)	Ancho de Banda Analógico	Área de Silicio	Consumo de potencia
10 bits	17Mhz	<0.10 mm ²	<25.2 mW

Tabla 5.8 Especificaciones de diseño del modulador SDAT en 130 nm

A partir de los datos mostrados en la tabla 5.8, se puede aproximar la SNR máxima que se tendrá a partir de la ecuación 5.1. De esta manera se tiene que la máxima SNR que se podrá obtener con este modulador teóricamente será de aproximadamente 62dB.

Los parámetros de diseño utilizados para diseñar el modulador Sigma-Delta convencional son los que se muestran en la tabla 5.9:

Orden	OSR	Frecuencia muestreo Sigma-Delta	ELD (T _{d1})	Ancho de Banda Analógico	Resolución Cuantificador
3	12	f _s = 408Mhz	25% de T _s	20Mhz	4 bits

Tabla 5.9 Parámetros de diseño del modulador SDTC multibit equivalente

A partir de los parámetros de la Tabla 5.9 se puede llevar a cabo la sustitución del cuantificador de 4 bits por el TEQ equivalente. Los parámetros del nuevo modulador SDAT diseñado son los que se muestran en la Tabla 5.10.

ROSR	COSR	Kg	fclk	fc	fs
8	1/2	4.9	1.632 Ghz	204Mhz	408 Mhz

Tabla 5.10 *Parámetros de diseño del modulador SDAT en 130nm*

En la figura 5.14 se muestra el diagrama de bloques propuesto para este modulador. En ella se puede ver que el integrador 3 es compartido tanto por el filtro de lazo $H_{sd}(s)$ como por el filtro del lazo 2 $H(s)$. Otro aspecto a destacar del diagrama de bloques es que se ha introducido un coeficiente f_{be} que se utiliza para introducir un cero de compensación en $H_{sd}(s)$.

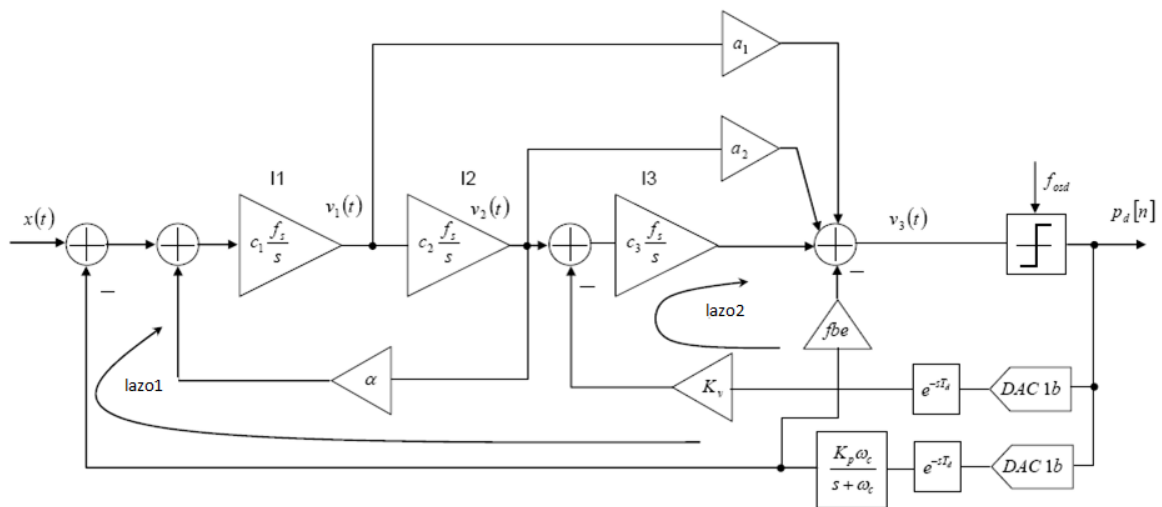


Figura 5.14 Diagrama de bloques del modulador SDAT en 130 nm

La función de transferencia de $H_{sd}(s)$ en función de los coeficientes de su arquitectura se presenta en la ecuación 5.7. En ella se puede ver que el coeficiente f_{be} introduce un cero más en $H_{sd}(s)$, este cero será el cero de compensación utilizado para hacer el sistema más robusto frente a variaciones.

$$H_{sd}(s) = \frac{c1(a1(sT_s)^2 + a2c2(sT_s) + a3c2c3)}{sT_s((sT_s)^2 + c1c2\alpha)} + fbe \quad \text{Ecuación 5.7}$$

Una vez que se ha presentado el circuito a nivel de bloques, se realizarán simulaciones en Matlab, para ver el funcionamiento a nivel de sistema. En la figura 5.15 se puede ver el espectro de la señal de salida cuando se introduce un tono de 5 Mhz, y en la figura 5.16 se puede ver el rango dinámico para diferentes tonos de entrada, en ésta se puede ver que el Rango dinámico es lineal y está en torno a 63 dB, y la máxima SNR más o menos también. Hay que destacar que el funcionamiento del

sistema para 17Mhz es un poco peor, ya que se está trabajando al límite del ancho de banda.

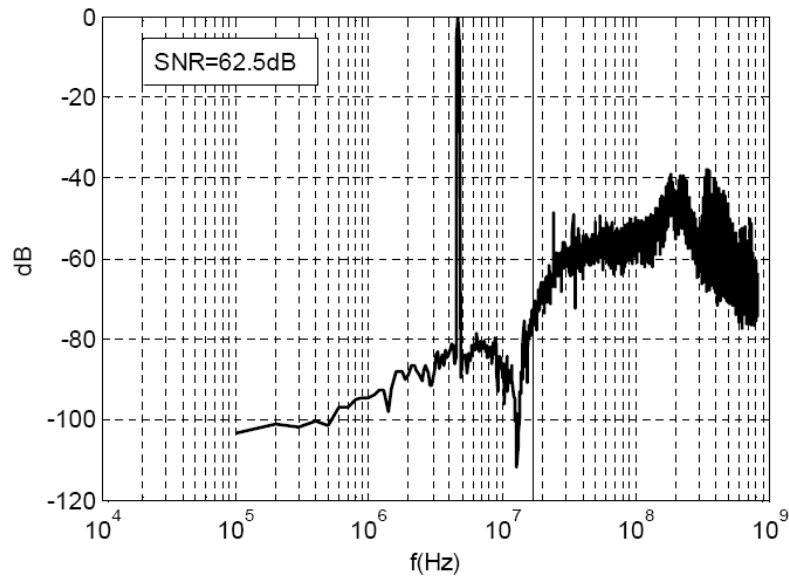


Figura 5.15 Espectro en potencia de la señal de salida del SDAT en 65nm. Simulación en Matlab

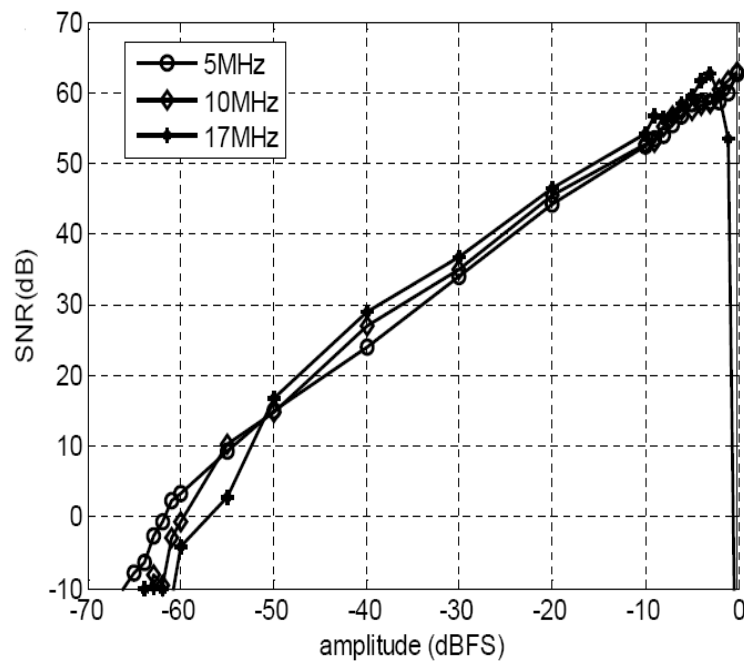


Figura 5.16 Rango dinámico del modulador SDAT en 130nm

El diagrama de bloques presentado en la figura 5.14 puede ser implementado circuitalmente a través del esquemático de la figura 5.17.

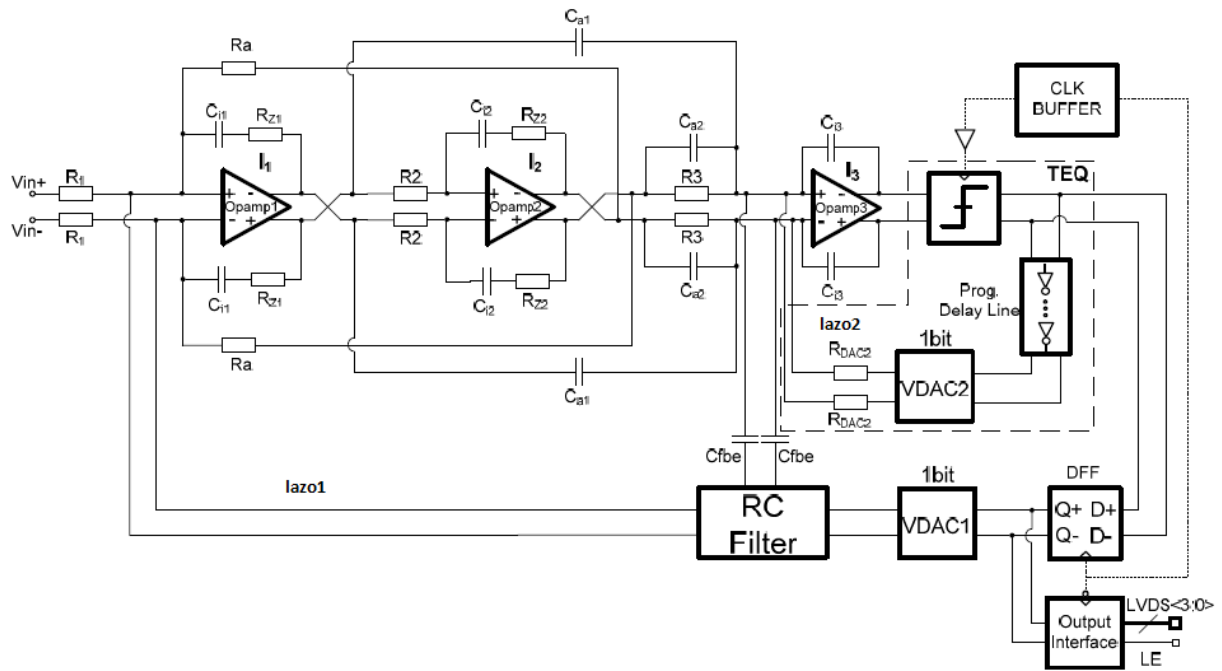


Figura 5.17 Representación circuital del SDAT en 130nm

Este modulador ha sido integrado en un chip fabricado en tecnología CMOS de 130nm, el layout del circuito fabricado se puede ver en la figura 5.18. Este modulador ha sido probado experimentalmente en el circuito fabricado, obteniéndose resultados muy similares a los obtenidos en las figuras 5.15 y 5.16, de esta manera se comprueba que el diseño realizado a nivel de sistema una vez implementado en un circuito físico funciona tal y como se ha diseñado. Por lo tanto si en el siguiente apartado comprobamos que nuestra herramienta diseña un modulador que funcione de manera parecida a este modulador de referencia, estamos consiguiendo validar que con nuestra herramienta se pueden diseñar moduladores que cuando se fabrican funcionan tal y como se espera.

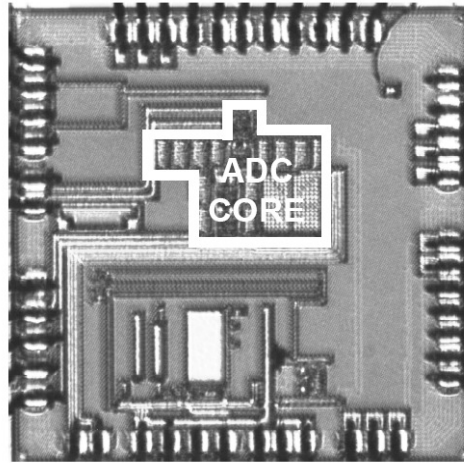


Figura 5.18 Layout del SDAT fabricado en 130nm

En la figura 5.19 se muestra el espectro de la señal de salida obtenida al simular el circuito de la figura 5.18. La señal de entrada es un tono de -4dBFS. En ella se puede ver que la frecuencia del ciclo limite aparece entorno a 130 Mhz. Si se compara con la figura 5.15, se puede ver que el ciclo limite se ha movido con respecto a lo esperado, esto es debido al ancho de banda finito de los operacionales.

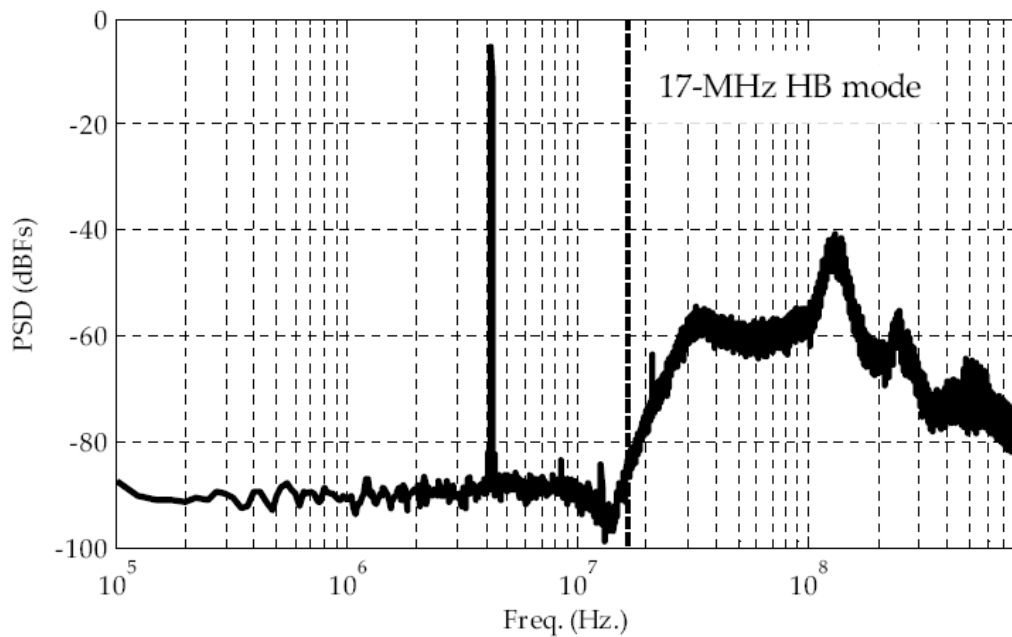


Figura 5.19 Espectro de la señal de salida del modulador SDAT en 130nm. Simulación del circuito real

En la figura 5.20 se muestra el rango dinámico medido en el circuito fabricado, en él se puede ver que el rango dinámico está en torno a los 63dB similar a la

simulación a nivel de sistema, y que la SNR máxima ha bajado un poco debido a los efectos de los componentes reales del circuito.

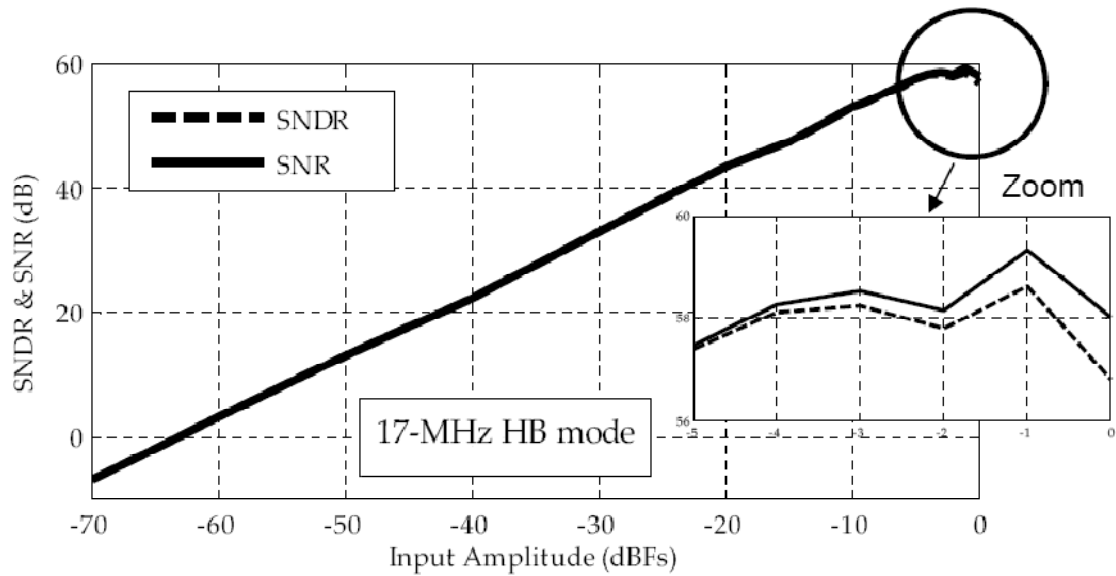


Figura 5.20 Rango dinámico del SDAT en 130nm. Simulación del circuito real

5.2.2 Resultados de la herramienta

La herramienta desarrollada se utilizará para llevar a cabo un diseño del modulador que cumpla con las mismas especificaciones que el modulador de referencia en 130nm. A continuación se presentarán los resultados obtenidos.

En la tabla 5.11 se presentan las especificaciones que debe cumplir este diseño.

SNR máxima	Ancho de Banda	Frecuencia muestreo (fclk)
62 dB	17 Mhz	1.632 Ghz

Tabla 5.11 Especificaciones de diseño del SDAT diseñado con la herramienta

Como ya se indico la sección 5.1.2, estas especificaciones son las que se introducirán en la herramienta para obtener las opciones de diseño.

Para garantizar la mayor robustez del sistema, se elegirá de nuevo una estrategia conservadora en la estimación del diseño, para así garantizar la robustez del sistema.

Las opciones de diseño proporcionadas por la herramienta son las que se muestran en la figura 5.21. La opción escogida es la recuadrada.

Opciones de Diseño

SNR [dB] BW [Hz] fclk [Hz]

62 17e6 1.632e9

Buscar Opciones

Opción 1: OSR= 12 ROSR= 4 Orden= 3 fclk= 1.632 Ghz
 Opción 2: OSR= 12 ROSR= 4 Orden= 5 fclk= 1.632 Ghz
 Opción 3: OSR= 12 ROSR= 4 Orden= 4 fclk= 1.632 Ghz

Tipo de Diseño

☒ Diseño conservador
☐ Diseño medio
☐ Diseño agresivo

Figura 5.21 Captura de las opciones de diseño proporcionadas por la herramienta

Se ha elegido la opción 1, ya que las otras dos opciones tienen mayor número de integradores y por lo tanto son menos óptimas en potencia, además esta opción presenta los mismos parámetros de diseño que la el caso del modulador de referencia en 130 nm.

Las opciones de diseño seleccionadas para este caso se muestran en la Tabla 5.12

Norma infinito NTF	Orden	OSR	ELD (T_{d1})	Ancho de Banda analógico	
1.5	3	12	25% de T_s	17 Mhz	
ROSR	COSR	Kg	fclk	fc	fs
4	1/2	4.4483	1.632 Ghz	204 Mhz	408 Mhz

Tabla 5.12 Opciones de diseño del modulador SDAT diseñado con la herramienta

En este caso el filtro proporcionado por la herramienta inicialmente ha tenido que ser optimizado, ya que no presentaba unas figuras de mérito muy buenas, por lo que se ha realizado un proceso iterativo de optimización hasta que se han conseguido unas figuras de mérito lo suficientemente buenas para asegurar que el funcionamiento del filtro además de ser correcto fuera robusto. El filtro presenta tres polos uno a frecuencia cero y dos polos complejos conjugados en la frecuencia 13.2Mhz, además presenta dos ceros complejos conjugados en la frecuencia 19.4 Mhz. En la figura 5.22 se puede ver una captura de la ubicación de polos y ceros dada por la herramienta.

Polos Filtro lazo (MHz)				
0	13.1681	13.1681		
Ceros Filtro lazo (MHz)				
19.4313	19.4313			

Figura 5.22 Ubicación de los polos y ceros de $H_{sd}(s)$ proporcionado por la herramienta

En la ecuación 5.8 se muestra la función de transferencia del filtro de lazo diseñado para este modulador.

$$H(sTs) = \frac{0.7545 \cdot (sTs)^2 + 0.2510 \cdot (sTs) + 0.0676}{(sTs) \cdot ((sTs)^2 + 0.0411)} \quad \text{Ecuación 5.8}$$

En este caso no ha sido necesario utilizar un cero de compensación para estabilizar el sistema.

En la figura 5.23 se representa el diagrama de bode de $H(sTs) \cdot e^{-sT_d}$. En él se puede ver que el margen de fase es de 29.9°.

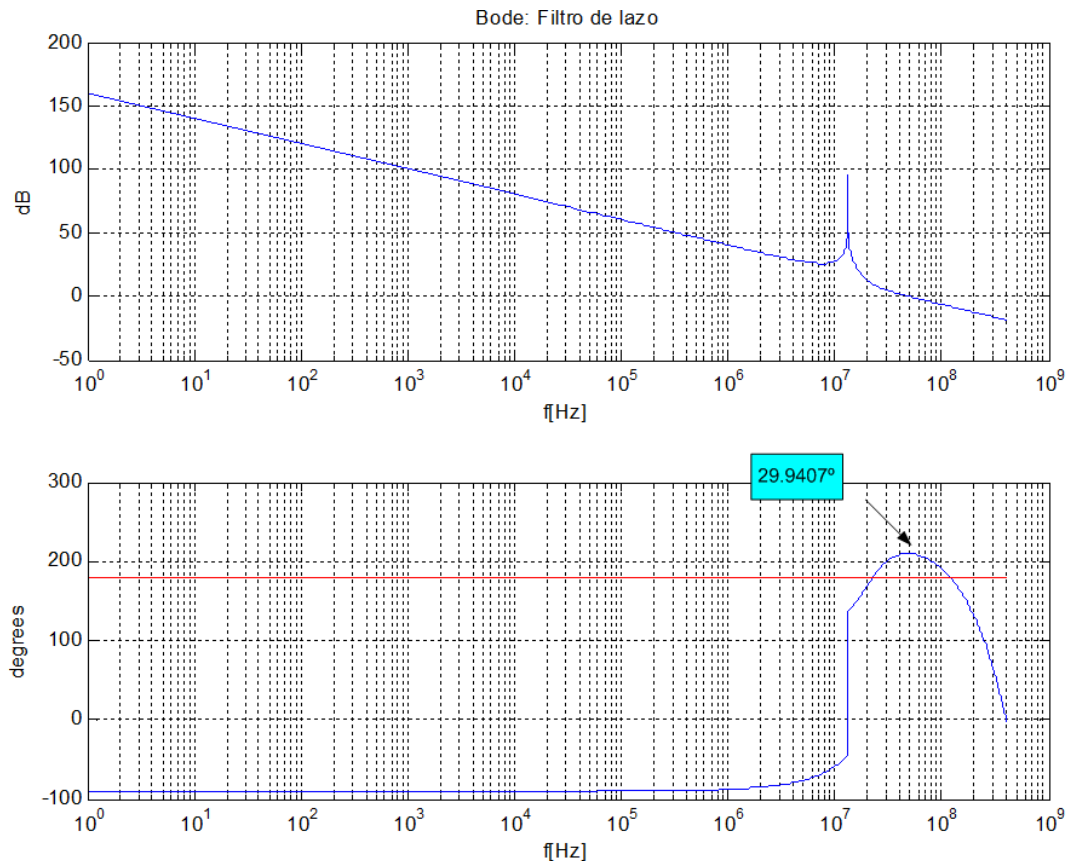


Figura 5.23 Diagrama de Bode de la función de transferencia $H(sTs) \cdot e^{-sT_d}$ del SDAT

La representación del comportamiento del sistema total $H_T(s)$ y de los dos lazos del SDAT $H_1(s)$ y $H_2(s)$, es el que se representa en la figura 5.24. En ella vemos que ambos lazos son independientes, ya que la función de transferencia $H_T(s)$ se comporta como $H_1(s)$ en bajas frecuencias y como $H_2(s)$ en altas frecuencias. Este es el comportamiento que se quiere tener cuando se desarrolla esta metodología de diseño.

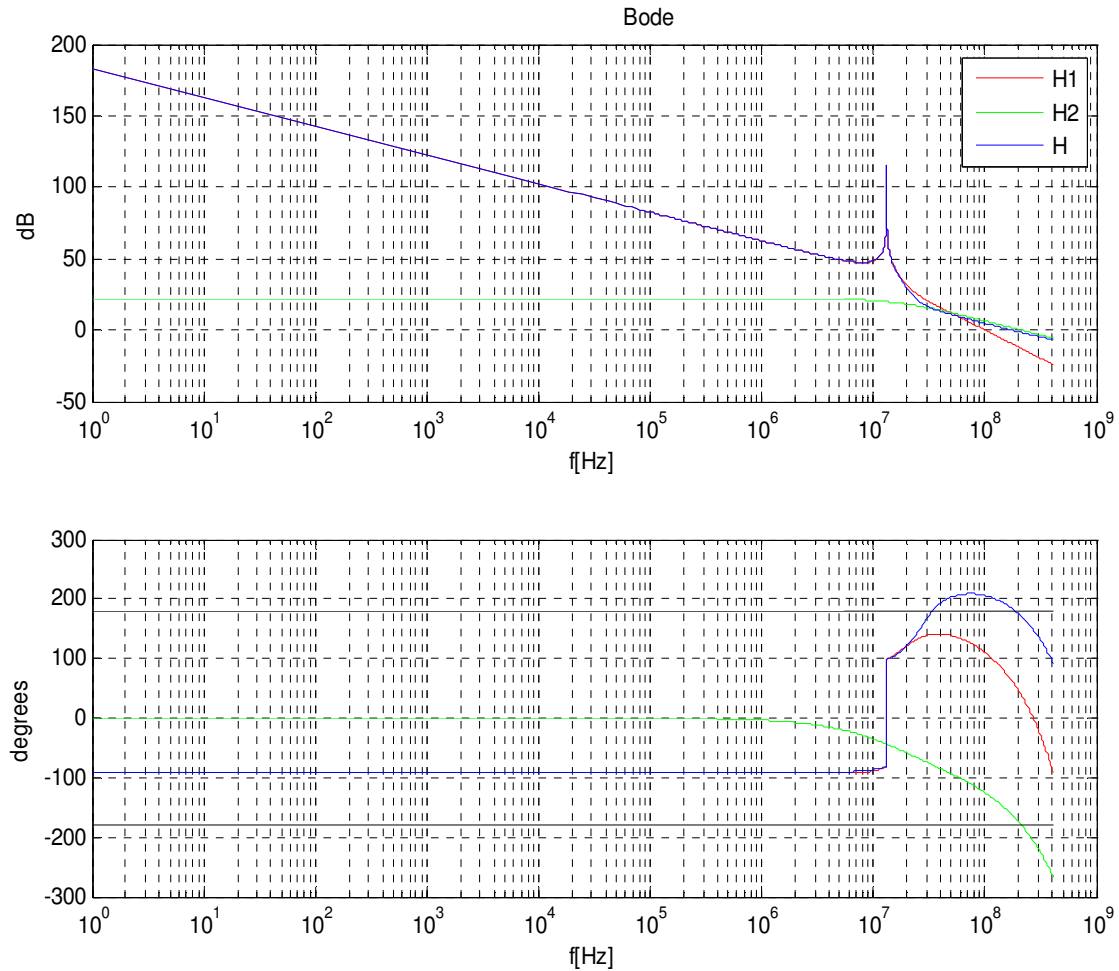


Figura 5.24 Representación del diagrama de Bode $H_1(s)$, $H_2(s)$ y $H_T(s)$

Una vez visto que el comportamiento del sistema total es el esperado, el siguiente paso es ver las figuras de mérito. Una captura de las figuras de mérito que se obtienen en la herramienta es la que se muestra en la figura 5.25. En ella se puede ver que sus valores son bastante buenos, esto es así porque como ya se ha explicado el filtro se ha optimizado para intentar obtener unas figuras de mérito buenas.

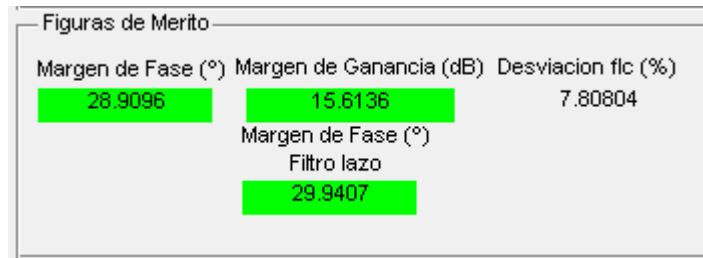


Figura 5.25 Figuras de mérito proporcionadas por la herramienta

Una vez realizado el diseño y optimizado para obtener unas figuras de mérito y diagramas de bode lo mejor posible, lo único que queda es simular el diseño realizado en Matlab para intentar ver si su funcionamiento es correcto.

En la figura 5.26 se muestra el espectro de la señal de salida del modulador diseñado. La señal de entrada ha sido una señal de -5 dBfs y 5Mhz. La SNR que se ha obtenido ha sido de 61.6dB. Además como se puede ver el ciclo límite sale muy cercano a 204 Mhz que es su valor nominal. Por lo tanto la simulación obtenida es la esperada dentro del funcionamiento correcto.

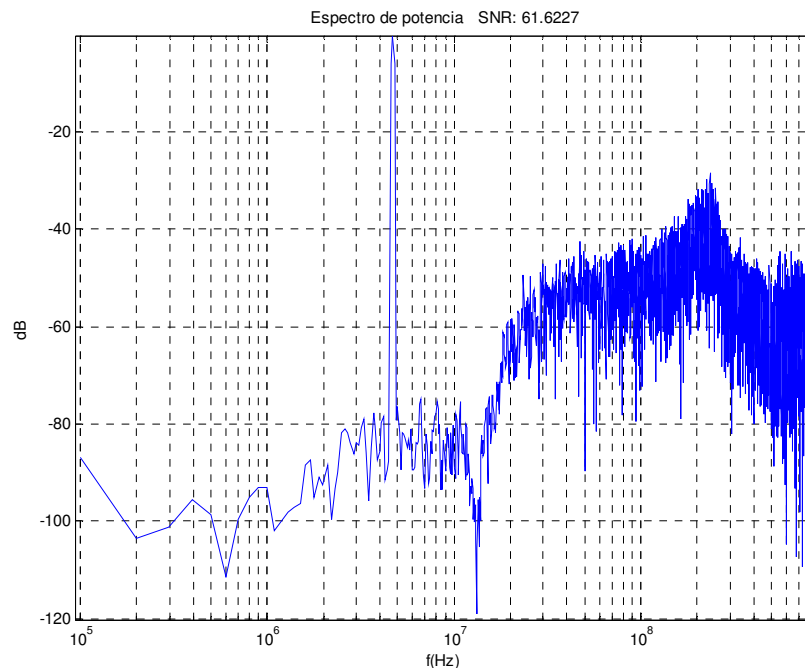


Figura 5.26 Espectro de la señal de salida del modulador SDAT diseñado con la herramienta

La siguiente simulación a realizar será el rango dinámico del sistema, es de esperar que el rango dinámico se encuentre en valor cercano a 60 dB. En la figura 5.27 se representa el rango dinámico para un tono de entrada de 5Mhz.

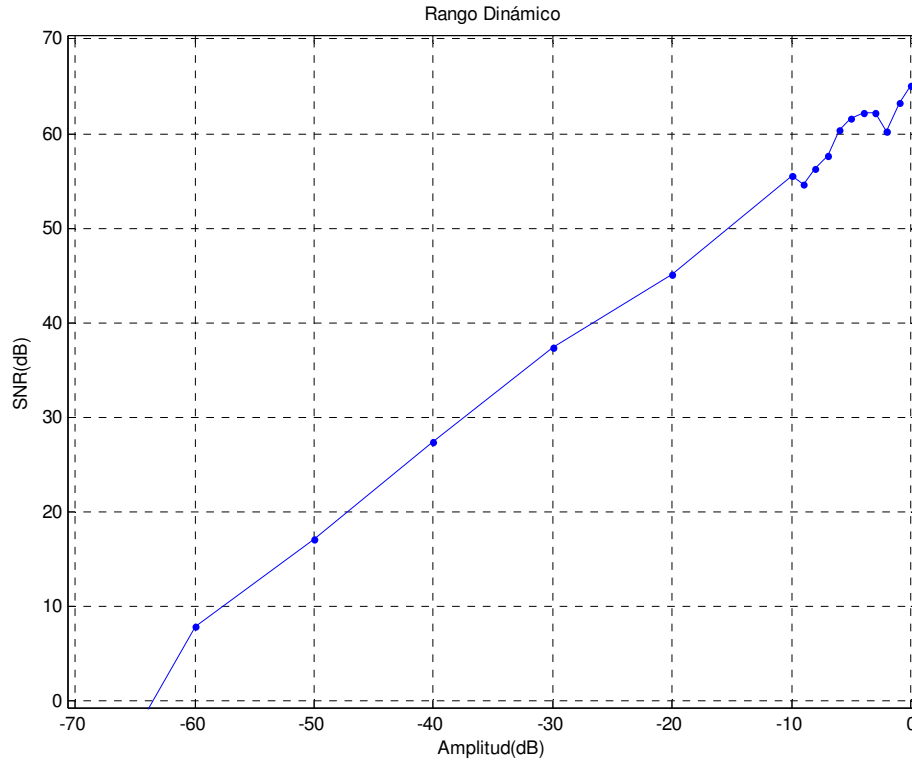


Figura 5.27 Rango dinámico del modulador SDAT diseñado con la herramienta

El rango dinámico obtenido es lineal y tiene un valor de 63.5 dB, que es un valor dentro de lo esperado, ya que la SNR máxima que se tomó como especificación es de 62 dB. La SNR máxima obtenida para una amplitud de entrada de 0 dBFS es de 65 dB.

Por lo tanto observando los resultados obtenidos en las simulaciones realizadas, se deduce que el comportamiento del modulador es correcto y cumple con las especificaciones.

Al igual que se hizo en el diseño del modulador en 65nm, en este caso visto que el modulador funciona nominalmente como se espera, lo siguiente será ver la tolerancia del modulador ante variaciones mayores que la nominal en el retardo ELD (T_{d1}). Para ello se ha ido aumentando el retardo T_{d1} introducido por el usuario, hasta que se ha obtenido el máximo valor para el que el sistema pasa de funcionar a no funcionar. El máximo valor obtenido ha sido 1.1 veces T_s .

El resultado anterior se ha obtenido sin realizar ninguna compensación del retardo ELD (T_{d1}). Si se añade un cero de compensación en una frecuencia alta en torno a f_s ó $f_s/2$, se puede conseguir que el sistema tolere un retardo ELD de hasta 1.42 veces T_s .

5.2.3 Comparación de ambos Moduladores

Por último se presentarán los resultados más importantes obtenidos por ambos moduladores, para ver las diferencias y similitudes que tienen. A grandes rasgos se puede decir que los dos moduladores presentados tienen unas características muy semejantes.

En primer lugar se realizará una comparación de los parámetros de diseño utilizados en ambos diseños. Estos parámetros se enfrentarán en la tabla 5.13.

Parámetros de diseño	Modulador de referencia en 130nm	Modulador Diseñado en este proyecto
Orden	3	3
OSR	12	12
ROSR	8	4
COSR	1/2	1/2
Ancho de Banda	17 Mhz	17 Mhz
ELD (T_{d1}) Nominal	25% de T_s	25% de T_s
ELD (T_{d1}) máximo tolerado	--	110% de T_s
Kg	4.9	4.45
fs (frecuencia muestreo Sigma-Delta)	408 Mhz	408 Mhz
fclk (frecuencia de reloj)	1.632 Ghz	1.632 Ghz
fc (frecuencia del ciclo limite)	204 Mhz	204 Mhz

Tabla 5.13 Comparación de los parámetros de diseño del modulador de referencia en 130nm y el diseñado por la herramienta

A la vista de los resultados de la Tabla 5.13 se ve que los parámetros de diseño de ambos moduladores son muy similares. La diferencia en la ROSR es debida a la distinta definición del parámetro en ambos, pero el resultado es equivalente.

En cuanto al filtro de lazo la principal diferencia que se tiene es que en el modulador utilizado como referencia se utiliza un cero de compensación para aumentar la velocidad del filtro y garantizar la estabilidad cuando los retardos y variaciones en el sistema están presentes. Mientras que en el modulador diseñado con la herramienta no se ha utilizado. Aunque se ha visto que si se utiliza se consigue introducir un mayor retardo ELD (T_{d1}) en el sistema sin que deje de funcionar, la mejora en este caso consistiría de pasar de un máximo ELD (T_{d1}) tolerable de 110% de T_s que se tiene sin cero de compensación a un 142% de T_s con un cero de compensación a altas frecuencias. Por lo tanto si fuera necesario introducir el cero de

compensación se podría introducir mejorando la robustez, pero se ha considerado que sin él, el sistema es suficientemente robusto.

Finalmente se compararán los resultados obtenidos en la simulación de ambos moduladores. Observando las figuras 5.27 y 5.16, se puede ver que los rangos dinámicos de ambos son semejantes y entorno a 63 dB más o menos en ambos casos, en cuanto a la SNR máxima sucede lo mismo obteniéndose valores un poco superiores a 60 dB en ambos casos. Hay que aclarar que esta comparación está hecha sobre las simulaciones de Matlab de ambos moduladores, las simulaciones del circuito fabricado en el caso de referencia sirven para verificar que es un diseño que funciona tal y como se espera.

Por lo tanto ambos moduladores son muy semejantes en cuanto a funcionamiento ya que dan unos resultados muy parecidos, comprobándose de nuevo la validez de esta herramienta de diseño para diseñar moduladores SDAT con una metodología de diseño basada en la independencia de ambos lazos de realimentación.

Una vez analizados los resultados de todos los casos de estudio de los apartados 5.1 y 5.2 se pueden obtener las siguientes conclusiones:

- Se ha demostrado que esta metodología de diseño es una metodología válida para diseñar moduladores SDAT ya que los resultados obtenidos utilizándola, han sido muy parecidos a los obtenidos en el diseño de otros moduladores SDAT que han sido fabricados y comprobado su funcionamiento, siendo diseñados con otra metodología de diseño.
- Se ha comprobado que la herramienta software desarrollada (*SDAT_DESIGN*) funciona correctamente, ya que ofrece diseños muy parecidos a otros diseños hechos a mano como los utilizados de referencia, pero de una manera automatizada.

5.3 Casos de interés

La herramienta desarrollada en este proyecto da la oportunidad al diseñador de seleccionar el tipo de diseño que quiere realizar. Este diseño puede ser conservador, medio o agresivo. En los dos moduladores diseñados en los apartados anteriores se ha optado por el diseño conservador ya que proporciona una mayor fiabilidad de cara a la estabilidad del sistema, asegurando que el diseño obtenido será robusto ante grandes variaciones del retardo.

En esta sección lo que se pretende es utilizar esta funcionalidad de la herramienta para intentar obtener un diseño en el que perdiendo un poco de robustez se consigan mejores parámetros de diseño sin perder en prestaciones.

Diseñaremos por lo tanto un sistema que tenga las mismas especificaciones que el modulador diseñado en 65nm pero con un diseño más arriesgado intentando conseguir parámetros de diseño menores.

En este caso las especificaciones que hay que introducir a la herramienta son las mismas que en el caso del modulador diseñado en 65nm. Son las que se muestran en la Tabla 5.14.

SNR máxima	Ancho de Banda	Frecuencia muestreo (fclk)
70 dB	20 Mhz	2.56 Ghz

Tabla 5.14 Especificaciones de diseño para el modulador SDAT con estrategia de diseño media

El diseño se realizará para un tipo de diseño medio (norma infinito de 2), como se muestra en la captura de la figura 5.28.

Figura 5.28 Captura de las opciones de diseño proporcionadas por la herramienta diseño medio

Se ha elegido la Opción 1 porque en este caso es la mejor opción en cuanto a consumo de potencia y como lo que queremos es obtener un diseño que mejore los parámetros de diseño del modulador diseñado en 5.1.2, pero cumpliendo las especificaciones, pues se ha elegido esta opción ya que pasamos de tener un orden 3 a un orden 2. Además el reloj también es menor. Las opciones de diseño seleccionadas para este caso se muestran en la Tabla 5.15

Norma infinito NTF	Orden	OSR	ELD (T_{d1})	Ancho de Banda analógico	
2	2	14	25% de T_s	20 Mhz	
ROSR	COSR	Kg	fclk	fc	fs
4	1/2	5.178	2.24 Ghz	280 Mhz	560 Mhz

Tabla 5.15 Parámetros de diseño del modulador SDAT tipo de diseño medio

El filtro se ha tenido que optimizar iterativamente para intentar conseguir las mejores prestaciones y también para intentar conseguir un sistema lo más robusto posible. Además se ha tenido que introducir un cero de compensación a frecuencia de 296.8 Mhz para hacer el filtro lo más rápido posible. El filtro además presenta dos polos complejos conjugados en la frecuencia de 11.5 Mhz y un cero en 66.4 Mhz. Se puede ver una captura de la ubicación de polos y ceros dada por la herramienta en la figura 5.29.

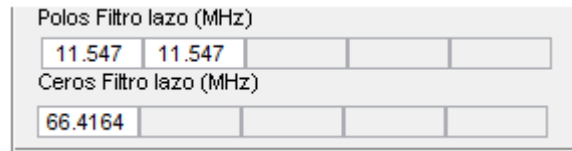


Figura 5.29 Ubicación de los polos y ceros de $H_{sd}(s)$

En la figura 5.30 se muestran los diagramas de bode de la función de transferencia del lazo 1 $H_1(s)$, del lazo 2 $H_2(s)$ y del sistema total $H_T(s)$. En ella se ve que el comportamiento sigue siendo el esperado, pero se ve que los márgenes de funcionamiento están más justos, ya que el sistema funciona más al límite.

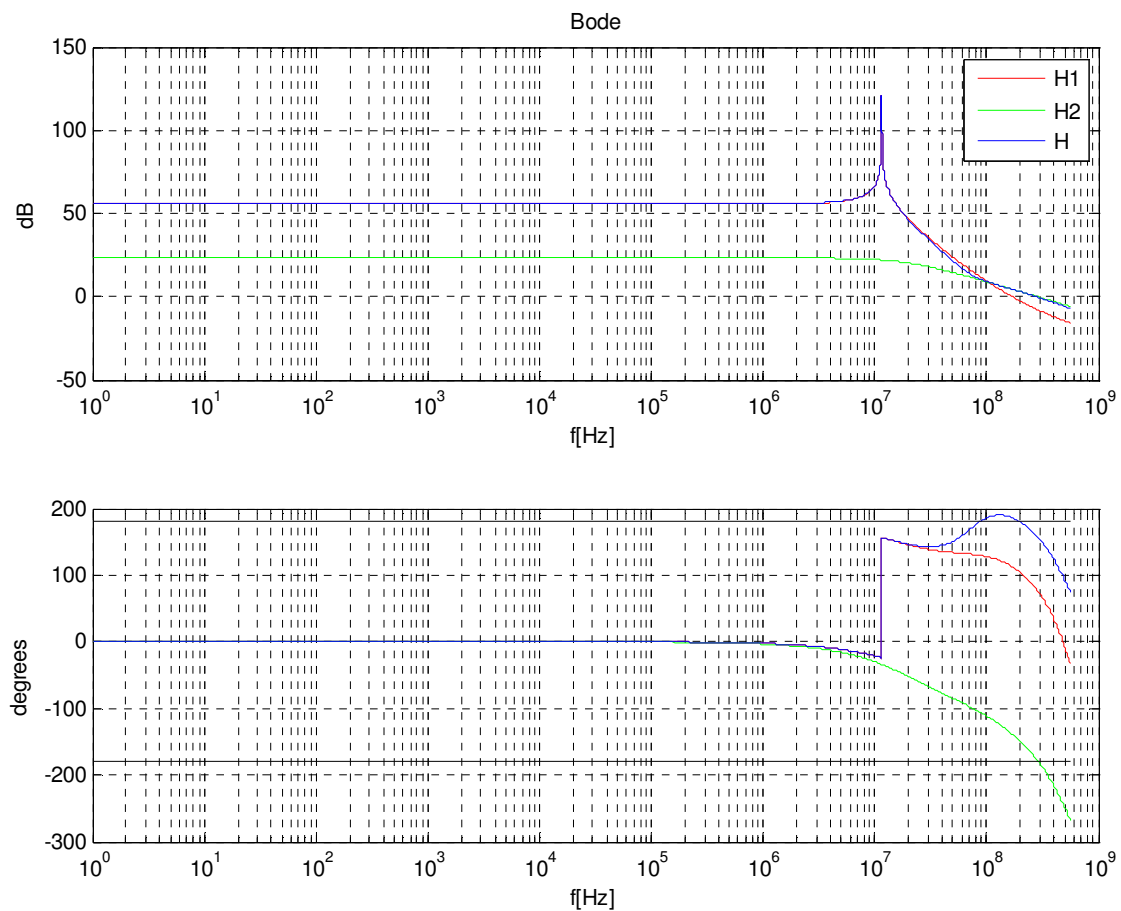


Figura 5.30 Diagrama de Bode de las funciones de transferencia $H_1(s)$, $H_2(s)$ y $H_T(s)$ del modulador SDAT con estrategia de diseño media

Las figuras de mérito presentadas por la herramienta se muestran en la figura 5.31. En ella se puede ver que los valores obtenidos son bastante menores que en el modulador diseñado en el apartado 5.1.2. La herramienta presenta el Margen de fase en color rosa en vez de verde indicando que el valor es un valor no del todo bueno, y el Margen de Ganancia en color rojo indicando que el valor es un valor bajo para ese parámetro. Hay que indicar que la herramienta presenta esos colores como ayuda al diseñador fijando siempre el color verde como el valor óptimo en cuanto a robustez del sistema. Por lo tanto que las figuras de mérito aparezcan en colores diferentes al verde quiere decir que el sistema está funcionando más al límite. Con lo que se demuestra lo que dijimos al principio de esta sección, y es que para las mismas especificaciones si se elige un diseño más arriesgado el sistema será menos robusto, pero ganará en otros aspectos como en el consumo de potencia y área ocupada.

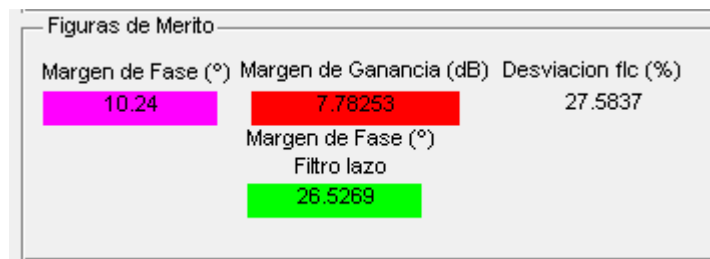


Figura 5.31 Figuras de mérito para el modulador SDAT estrategia de diseño media

Una vez optimizado el diseño al máximo, se realizan las simulaciones en Matlab para ver el resultado obtenido.

En la figura 5.32 se presenta el espectro de la señal de salida para una señal de entrada de 5Mhz y -5 dBfs. Se puede observar que el espectro es el esperado con el ciclo límite cercano a la frecuencia nominal.

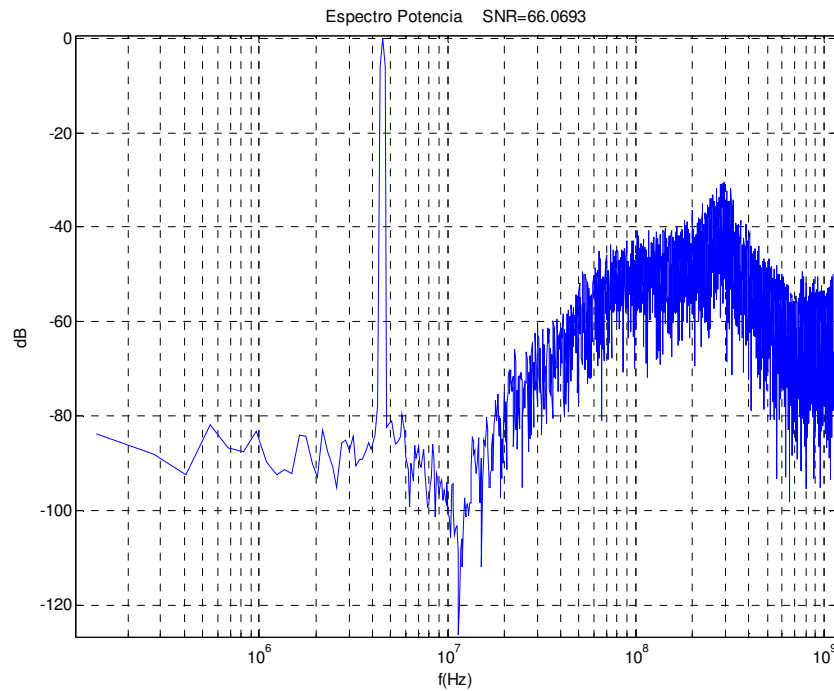


Figura 5.32 Espectro de potencia de la señal de salida del modulador SDAT estrategia de diseño media

En la figura 5.33 se muestra el Rango dinámico obtenido para una entrada de 5 Mhz. En ella se ve que el rango dinámico es de 72.5 dB y la máxima SNR que se obtiene es de 67.5 dB.

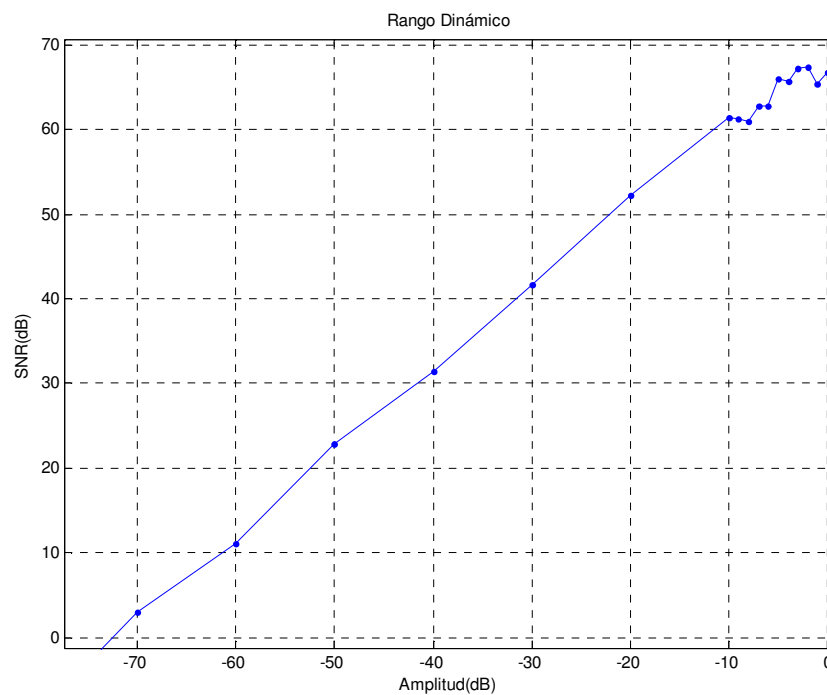


Figura 5.33 Rango dinámico para el modulador SDAT estrategia de diseño media

Las simulaciones anteriores se han realizado para un retardo ELD (T_{d1}) del 25% de T_s . Por lo tanto para ver la tolerancia del sistema ante retardos mayores, se aumenta el ELD (T_{d1}) hasta que el sistema deje de funcionar. Se ha comprobado que el máximo retardo ELD (T_{d1}) que puede soportar el modulador SDAT diseñado aquí es de 85% de T_s .

5.3.1 Comparación del modulador con diseño medio y el modulador conservador

Como se ha visto en el apartado anterior el diseño realizado para una estrategia de estimación de los parámetros de diseño media, se obtienen unas prestaciones muy parecidas al diseño conservador obtenido en 5.1.2, pero utilizando un orden del modulador menor y un reloj menor, pero en contrapartida el diseño es menos robusto también, por lo que será más arriesgado utilizarlo.

En la Tabla 5.16 se presentan los parámetros de diseño, tolerancia y prestaciones que da los dos moduladores.

Parámetros de diseño	Modulador en 65nm Estrategia conservadora	Modulador en 65nm Estrategia media
Norma infinito NTF	1.5	2
Orden	3	2
OSR	16	14
ROSR	4	4
COSR	1/2	1/2
Ancho de Banda	20 Mhz	20 Mhz
ELD (T_{d1}) Nominal	25% de T_s	25% de T_s
ELD(T_{d1}) máximo tolerado	120% de T_s	85% de T_s
Kg	5.91	5.18
fs (frecuencia muestreo Sigma-Delta)	640 Mhz	560 Mhz
fclk (frecuencia de reloj)	2.56 Ghz	2.24 Ghz
fc (frecuencia del ciclo limite)	320 Mhz	280 Mhz
Rango dinámico	72.5 dB	72.5 dB
SNR máxima	72 dB	67.5 dB

Tabla 5.16 Comparación de los parámetros de diseño, tolerancia y prestaciones de los dos moduladores diseñados con las mismas especificaciones que el modulador de referencia en 65nm

Analizando los resultados de la Tabla 5.16, si se utiliza la estrategia media de diseño se obtiene un sistema que presenta un orden menos por lo tanto se tendrá menor consumo de potencia y menor área ocupada, además el reloj utilizado es menor. Sin embargo al utilizar ese diseño se está trabajando más al límite por lo tanto las prestaciones obtenidas no son tan buenas como las que se obtienen con una estrategia de diseño más conservadora. Ya que el sistema menos conservador presentará una menor tolerancia al retardo y por lo tanto una menor robustez. En cuanto al funcionamiento del sistema, el rango dinámico obtenido es el mismo pero se obtiene una SNR máxima de 4.5 dB menos utilizando la estrategia media. Esto es así porque en altas amplitudes al funcionar más forzado, el modulador se satura y da menores SNR de las que realmente puede dar.

De esta manera se ha demostrado que con esta herramienta se pueden realizar diseños que funcionen más al límite perdiendo en robustez pero ganando en menor consumo de potencia y área con un rango dinámico similar. Esto puede ser interesante en aplicaciones en las que se tenga una limitación de potencia o de área y no necesiten sistema muy robustos.

6. Conclusiones

Una vez desarrollado el presente proyecto fin de carrera se presentarán los resultados y aportaciones más importantes que se han ido obteniendo de todo el trabajo realizado:

- Se han analizado los principales problemas que surgen a la hora de utilizar tecnologías CMOS nanométricas con moduladores SDTC, y se ha estudiado una de las posibles soluciones basada en una arquitectura autorresonante con codificación temporal. Esta solución serán los SDAT sobre los cuales se ha centrado el estudio de este proyecto.
- Se ha desarrollado una metodología de diseño para SDAT en tecnología CMOS nanométrica basada en cuatro fases, en la que los SDAT han sido diseñados desde cero sin partir de otros moduladores SDTC ya diseñados.
- Esta metodología se ha centrado principalmente en la consecución de la independencia de los dos lazos de que consta el SDAT, para así garantizar que cada lazo domina en un margen frecuencial consiguiéndose así la funcionalidad esperada. Además se ha garantizado que a partir de unas especificaciones el SDAT diseñado con esta metodología es óptimo en consumo de potencia.
- Se ha desarrollado una herramienta software denominada *SDAT_DESIGN*, en la que se ha implementado cada una de las fases de la metodología propuesta, con el fin de facilitar y automatizar todo lo posible el diseño de los SDAT.
- Para la evaluación del SDAT diseñado en la herramienta se han utilizado figuras de mérito de manera que se pudiera medir cuantitativamente la estabilidad, robustez e independencia de los lazos del SDAT.
- Para el análisis de los resultados obtenidos por el diseño en la herramienta se ha utilizado la simulación del SDAT.
- Se ha validado la metodología de diseño a través de la herramienta software desarrollada, utilizando como casos de estudio dos SDAT diseñados en tecnologías CMOS de 65nm y 130nm por el grupo DMA de la Universidad Carlos III de Madrid en colaboración con una empresa interesada en los resultados, diseñados a través de la metodología introducida en [5]. Esta validación fue satisfactoria, ya que se obtuvieron diseños muy parecidos utilizando ambas metodologías. Además se ha comprobado que con la metodología propuesta en este proyecto se pueden llevar a cabo diseños más agresivos con las mismas especificaciones de otros diseños más conservadores pero con menor consumo de potencia y área ocupada.

Líneas futuras de trabajo

Los principales objetivos propuestos al inicio de este proyecto fin de carrera, han sido cumplidos casi en su totalidad. Sin embargo en los SDAT hay todavía bastante campo por explorar.

Si se analizan las posibles líneas futuras que puede haber, se pueden establecer tres categorías en las que englobarlas: modelado teórico, Funcionalidades de la herramienta (simulaciones) y ampliaciones de la metodología de diseño.

- **Modelado teórico.** Se puede definir un modelo PWM, estudiando el desplazamiento frecuencial y el ciclo de trabajo de la señal modulada.
- **Ampliaciones de la metodología.** Se podrán estudiar diferentes aspectos:
 - Introducción de un algoritmo que automatice el proceso de optimización del filtro, para obtener la mejor solución.
 - Introducción del cálculo de la función de transferencia de una arquitectura concreta para la implementación del filtro $H_{sd}(s)$.
 - Posibilidad de introducir diferentes $H(s)$ en el lazo 1 y el lazo 2 del SDAT diseñado.
 - Conseguir el escalado de las variables de estado.
- **Funcionalidades de la herramienta.** Los aspectos a estudiar serán:
 - Posibilidad de introducir en la herramienta la utilización de un TDC en el lazo 2, para la obtención de la codificación temporal.
 - Incluir simulaciones de ruido térmico y jitter.
 - Incluir simulaciones de distorsión.

7. Referencias Bibliográficas

- [1] U.K. Moon, G.C. Temes y J. Steensgaard, “*Digital techniques for improving the accuracy of data converters*” IEEE Commun. Mag., pp 136-143, Oct 1999
- [2] D.A. Johns y K. Martin. “*Analog integrated Circuit Design*” John Wiley & Sons, 1997
- [3] L. Breems y J.H. Huising. “*Continuous-Time Sigma-Delta Modulation for A/D Conversion in Radio Receivers*”, Kluwer Academic Publishers, 2001.
- [4] J.A. Cherry y W.M. Snelgrove. “*Continuous-time delta-sigma modulators for high-speed A/D conversion: theory, practice, and fundamental performance limits*”. Kluwer Academic Publishers, Massachusetts, 2000
- [5] L. Hernandez, E. Prefasi, “Analog to Digital Conversion Using Noise Shaping and Time Encoding” *IEEE Trans. on Circuits & Systems I*, Vol. 55, Issue 7, Aug. 2008 pp.2026 – 2037.
- [6] M. Z. Straayer y M. H. Perrot, “A 12-bit, 10-MHz bandwidth, continuous-time Sigma-Delta ADC with a 5-bit, 950-MS/s VCO-based quantizer” *IEEE J. Solid-State Circuits*, vol.43, no. 4, pp. 805-814, Apr. 2008
- [7] E. Roza et al., “An 8MHz, 72 dB SFDR Asynchronous Sigma-Delta Modulator with 1.5mW power dissipation”, *VLSI Circuits, 2004. Digest of Technical Papers*. 2004.
- [8] L. Hernandez, E. Prefasi, E. Pun, S. Paton, “A 1.2-MHz 10-bit Continuous-Time Sigma-Delta ADC Using a Time Encoding Quantizer” *IEEE Tr. On Circuits and Systems II*, Vol. 56(1), pp. 16-20, Jan 2009.
- [9] E. Prefasi, L. Hernandez, S. Paton, A. Wiesbauer, R. Gaggli, E. Pun, “A 0.1mm², Wide Bandwidth Continuous-Time $\Sigma\Delta$ ADC based on a Time Encoding Quantizer in 0.13 μ m CMOS” *IEEE Journal of Solid-State Circuits*. Aceptado para futura publicación.
- [10] L. Luh, J. Choma Jr., J. Drapper, “A 400 MHz 5th Order Continuous-Time Switched-Current Sigma Delta Modulator”, En *Proc. European Solid-State Circ. Conf.*, 2000.

- [11] Schreier, Richard. "Delsig toolbox". Disponible en web: <http://www.mathworks.co.uk/matlabcentral/fileexchange/loadFile.do?objectId=19&objectType=file>
- [12] Susana Patón, " Contribución al modelado y diseño de moduladores sigma-delta en tiempo continuo de baja relación de sobremuestreo y bajo consumo de potencia" Tesis Doctoral, Universidad Carlos III de Madrid, Enero 2005
- [13] S. R. Norsworthy, R. Schreier y G. C. Temes. *"Delta-Sigma Data converters: Theory, Design, and Simulation"*, IEEE PRESS
- [14] S. Patón, "65nm PWM-SD ADC Design report" Informe interno perteneciente al proyecto de colaboración "ARDES" del grupo DMA de la UC3M. Abril, 2008

ANEXO I: Manual de usuario de la herramienta SDAT_DESIGN

En este anexo se presentarán unas pequeñas nociones sobre cómo utilizar la herramienta SDAT_DESIGN desarrollada en este proyecto.

Para arrancar la herramienta en Matlab basta con introducir el comando SDAT_DESIGN en la carpeta donde esté instalada la herramienta. Una vez introducido el comando arrancará la herramienta tal como aparece en la figura I.1:

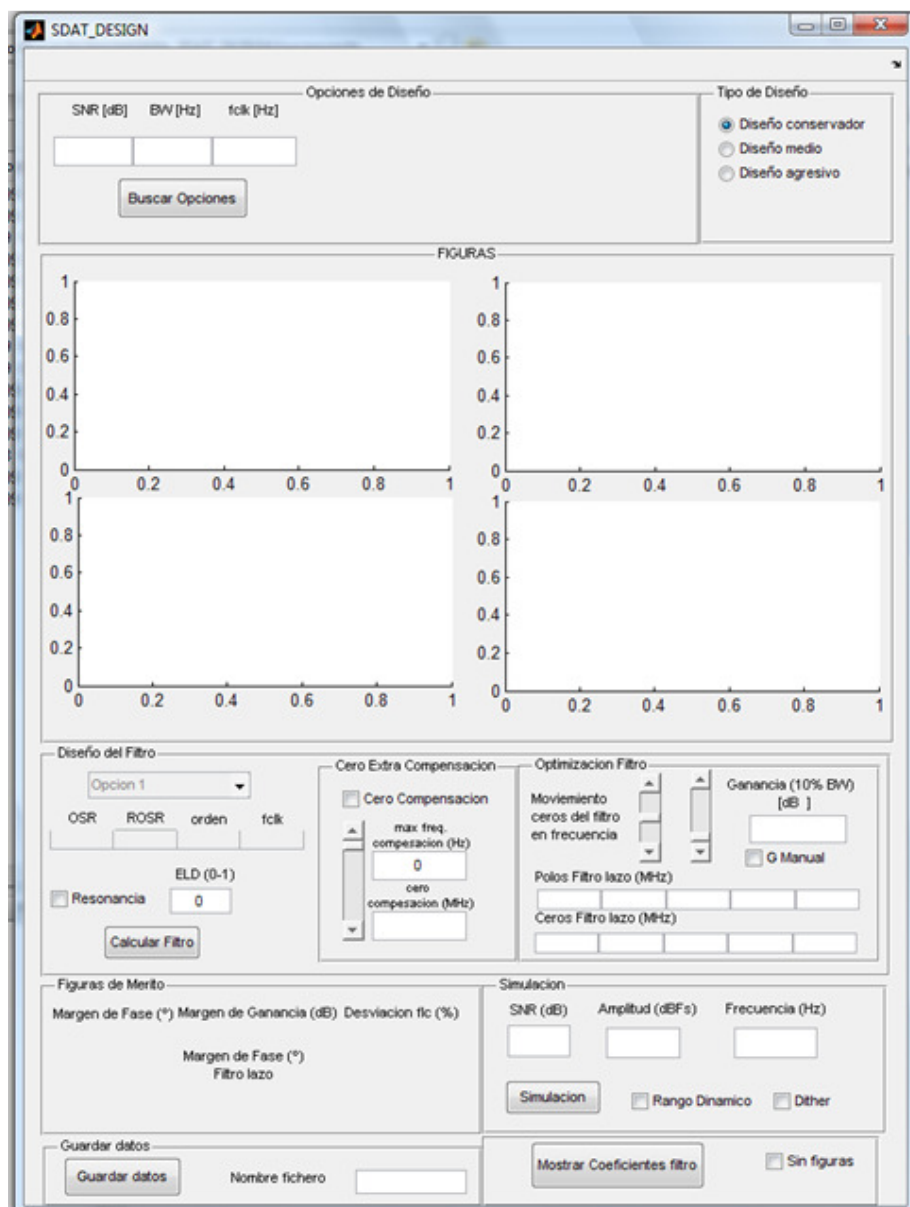


Figura I.1 Herramienta SDAT_DESIGN

Una vez arrancada la herramienta el siguiente paso será introducir las especificaciones de diseño y el tipo de diseño que se quiere realizar (conservador, medio o agresivo). Este paso es necesario que sea lo primero que se realice, ya que si no se le introducen especificaciones de diseño la herramienta no podrá funcionar. Este proceso se muestra en la figura I.2. Una vez introducidos las especificaciones hay que presionar el botón ‘*Buscar Opciones*’ para que la herramienta busque las opciones de diseño óptimas en potencia para las especificaciones introducidas. Una vez pulsado el botón la herramienta presentará las 5 opciones encontradas, si las hubiera.

Opciones de Diseño			Tipo de Diseño
SNR [dB]	BW [Hz]	fclk [Hz]	<input checked="" type="radio"/> Diseño conservador <input type="radio"/> Diseño medio <input type="radio"/> Diseño agresivo
70	20e6	2.56e9	
Buscar Opciones			
Opcion 1: OSR= 14 ROSR= 4 Orden= 4 fclk= 2.24 Ghz Opcion 2: OSR= 14 ROSR= 4 Orden= 5 fclk= 2.24 Ghz Opcion 3: OSR= 16 ROSR= 4 Orden= 3 fclk= 2.56 Ghz Opcion 4: OSR= 16 ROSR= 4 Orden= 4 fclk= 2.56 Ghz Opcion 5: OSR= 16 ROSR= 4 Orden= 5 fclk= 2.56 Ghz			

Figura I.2 Bloque de opciones de Diseño

En caso de que las especificaciones sean muy ambiciosas, puede darse el caso de que haya menos de 5 opciones o ninguna opción disponible. En el caso de que no haya ninguna opción de diseño para las especificaciones dadas mostrará lo siguiente:

Opciones de Diseño			Tipo de Diseño
SNR [dB]	BW [Hz]	fclk [Hz]	<input checked="" type="radio"/> Diseño conservador <input type="radio"/> Diseño medio <input type="radio"/> Diseño agresivo
90	20e6	2.56e9	
No ha habido resultados Cambio requisitos del sistema Buscar Opciones			

Figura I.3 No se encuentran opciones de diseño

Una vez que ya se hayan encontrado las opciones de diseño, el siguiente paso será seleccionar una de las opciones de diseño para comenzar a diseñar el SDAT. Para ello en el bloque de Diseño del filtro aparecerá un menú desplegable donde se podrá seleccionar que opción de las presentadas por la herramienta se escoge. Una vez seleccionada la opción, la herramienta automáticamente presentará los parámetros de diseño para esa opción escogida. También se podrán introducir manualmente las opciones de diseño que se quieran, pero esta opción no se aconseja, a menos que el diseñador sea muy experimentado. El proceso de selección de una opción se muestra en la figura I.4

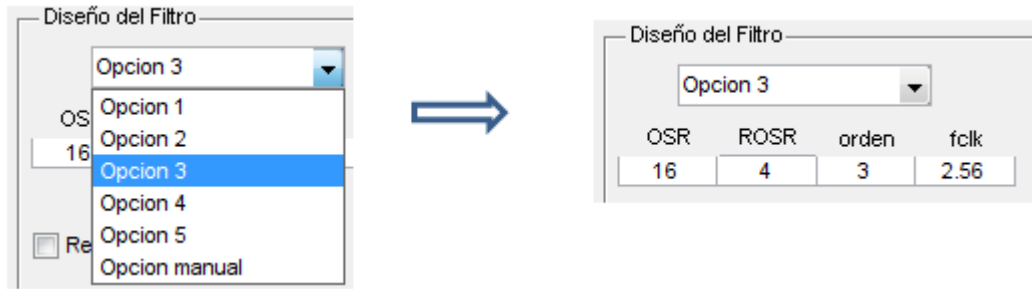


Figura 1.4 Proceso de selección de una opción de diseño

Una vez seleccionada la opción de diseño con la que se quiere trabajar el siguiente paso será seleccionar algunos parámetros del filtro como: Seleccionar o no resonancia, y el retardo ELD (T_{d1}) que hay que introducir como criterio de diseño. Esto se ve en la figura 1.5. El retardo ELD debe ser introducido en tanto por uno con respecto al periodo de muestreo del Sigma-Delta (T_s).

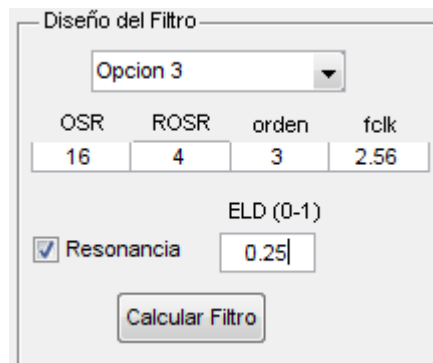


Figura 1.5 Selección de parámetros del filtro y botón 'Calcular Filtro'

Una vez que se hayan seleccionado las opciones del filtro, para que la herramienta realice el cálculo del filtro es necesario pulsar el botón 'Calcular Filtro'. Sólo cuando se pulse este botón la herramienta actualizará los cambios realizados en el filtro y calculará el filtro.

Una vez que se pulse el botón 'Calcular Filtro', además de calcular el filtro para las opciones seleccionadas, se actualizarán los valores que presenta la herramienta para la evaluación del filtro calculado. Estos elementos de evaluación serán:

- Figuras de mérito calculadas para el filtro
- Representación de las funciones de transferencia del modelo lineal diseñado.
- Ubicación de los polos y ceros del filtro de lazo $H_{sd}(s)$.

En la figura I.6 se muestran recuadrados los elementos presentados anteriormente.

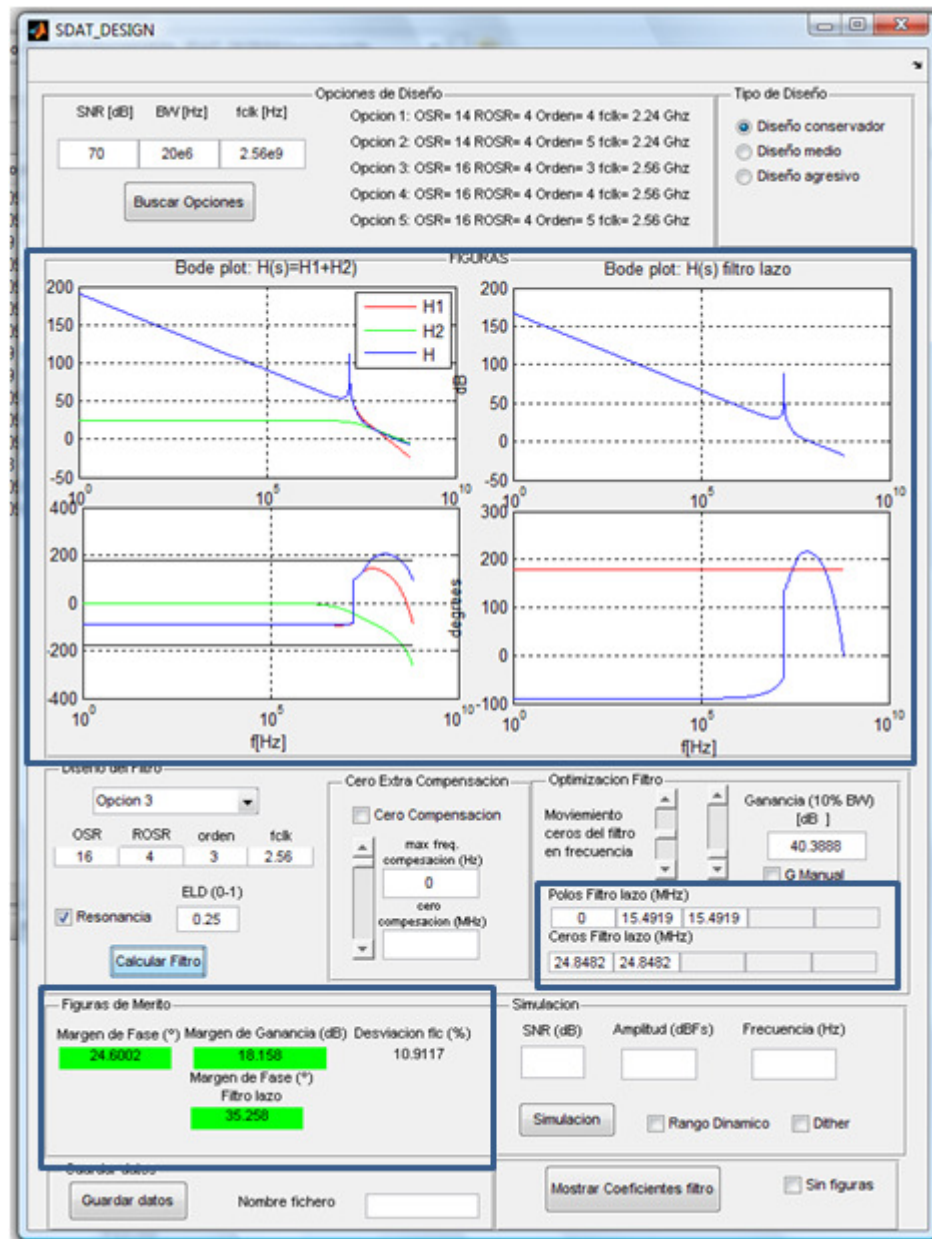


Figura I.6 Representación de los elementos de evaluación de la herramienta

Además de los elementos de evaluación anteriormente explicados, la herramienta también da la opción de mostrar algunas figuras externas a la herramienta, que serán el diagrama de bode del filtro $H_{sd}(s)$, el diagrama de bode de las funciones de transferencia $H_1(s)$, $H_2(s)$ y $H_T(s)$ y el diagrama de polos y ceros del filtro $H_{sd}(s)$. Para seleccionar que estás figuras no se muestren es necesario seleccionar el checkbox que se denomina 'Sin figuras' como se muestra en la figura I.7. Además

también se introduce un botón ‘Mostrar coeficientes’, que lo que hace es sacar una ventana informativa con los coeficientes del filtro $H_{sd}(s)$ (figura I.8).



Figura I.7 Detalle del checkbox ‘Sin figuras’ y del botón ‘Mostrar coeficientes’

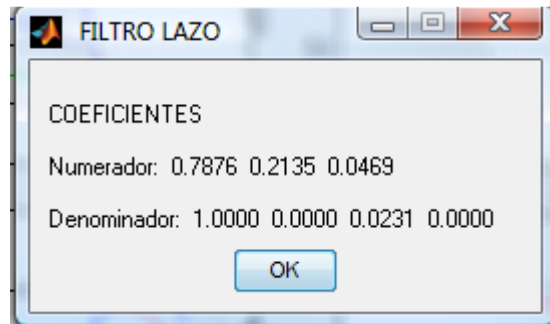


Figura I.8 Ventana informativa con los coeficientes del filtro de lazo

Cuando ya se haya calculado el filtro, se podrán evaluar los elementos de evaluación presentados anteriormente. Con esta evaluación lo que se pretende es ver si el filtro es bueno, o si hay que mejorarlo. En caso de que haya que mejorarlo se tendrá que pasar a la parte de optimización. En la parte de optimización se podrán realizar tres tareas diferentes:

- Mover los ceros del filtro $H_{sd}(s)$
- Cambiar la ganancia del filtro $H_{sd}(s)$
- Introducir un cero de compensación en el filtro $H_{sd}(s)$

En la figura I.9 se muestran los slider utilizados para mover los ceros y la ganancia del filtro. En el caso de la ganancia, hay un checkbox denominado ‘G manual’, que si está seleccionado permite mover la ganancia, pero si no está seleccionado deja como valor de la ganancia el valor automático estimado teóricamente. Además se presenta un cuadro de texto donde se muestra la ganancia del filtro de lazo $H_{sd}(s)$ en el 10% del ancho de banda y en dB. Cada vez que se mueven los ceros en el slider, se actualiza la posición automáticamente en la herramienta, además también se calcula el valor automático de la ganancia.

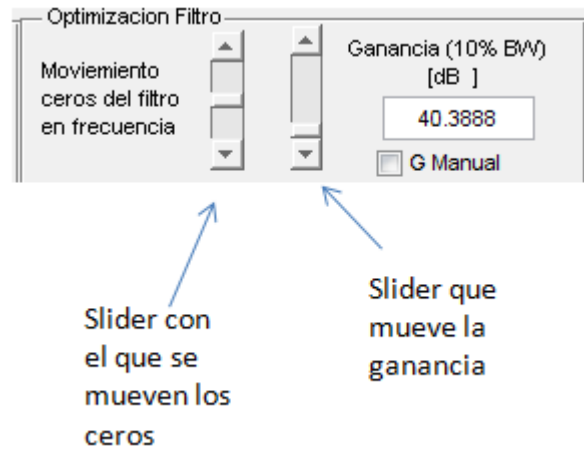


Figura I.9 Elementos de optimización del filtro.

Para introducir el cero de compensación, es necesario activar el checkbox 'Cero Compensación', e introducir la máxima frecuencia a la que puede estar el cero de compensación. Luego con el slider se podrá ir moviendo la ubicación de ese cero desde la máxima frecuencia hasta el valor de $0.5 \cdot \text{max. Frecuencia}$. Esto se muestra en la figura I.10.

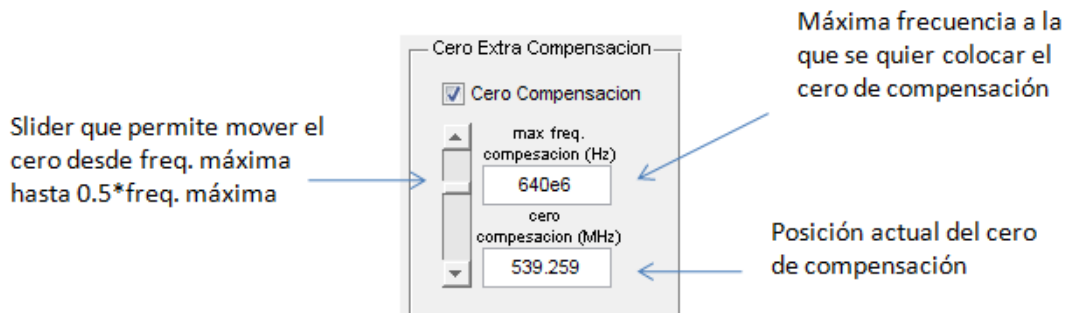


Figura I.10 Introducción del cero de compensación

Una vez que se ha realizado la optimización, para que los cambios surtan efecto y se puedan evaluar las figuras de mérito y bodes representados, es necesario volver a calcular el filtro pulsando el botón 'Calcular Filtro'.

Cuando ya se haya obtenido un sistema que a juicio del diseñador pueda ser bueno, el siguiente paso será realizar la simulación del modulador SDAT diseñado. Para ello se utilizará el bloque mostrado en la figura I.11. Se pueden realizar dos tipos de simulaciones principales:

- Simulación del espectro: Para ello es necesario introducir la amplitud y frecuencia de la señal de entrada

- Rango dinámico: Habrá que seleccionar el checkbox '*Rango Dinamico*' e introducir simplemente la frecuencia de la señal de entrada.

Además estas dos simulaciones podrán realizarse con dither o sin él. Si se selecciona el checkbox denominado '*Dither*', se realizará la simulación con dither.




Figura I.11 Bloque de simulación

La simulación dará como salida una figura en la que se podrá ver la representación de la simulación. Además en el caso de simular el espectro se representará en la caja de texto SNR el valor de la SNR calculada en ese caso.

Para realizar la simulación hay que pulsar el botón '*Simulacion*'. Es necesario haber calculado el filtro anteriormente, ya que no habrá nada que simular si no se ha calculado.

Por último, una vez que se haya diseñado un modulador SDAT que funcione tal y como el diseñador quiere, se podrá guardar una estructura de datos con los principales valores del diseño realizados. Esta estructura se guardará dentro de la carpeta donde esté la herramienta, con el nombre del fichero introducido en el campo '*Nombre fichero*' y extensión .mat. El bloque de guardar datos se muestra en la figura I.12.

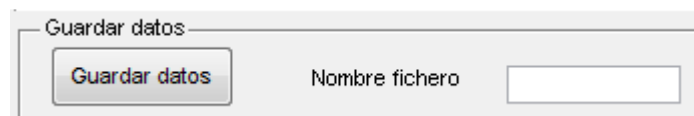


Figura I.12 Bloque para guardar los datos obtenidos